

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-345494

(43)Date of publication of application : 14.12.1999

(51)Int.Cl.

G11C 16/02

(21)Application number : 10-152610

(71)Applicant : HITACHI LTD
HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 02.06.1998

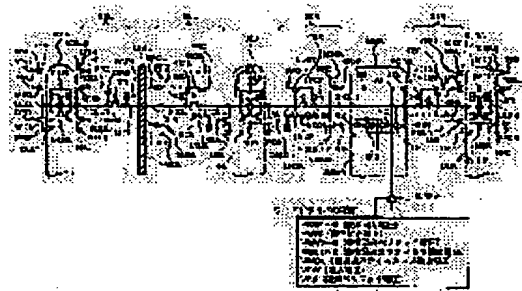
(72)Inventor : KANEMITSU MICHITARO
TSUJIKAWA TETSUYA
HARADA TOSHINORI
KOTANI HIROAKI
KUBONO SHOJI
NOZOE ATSUSHI
YOSHITAKE TAKAYUKI

(54) SEMICONDUCTOR DEVICE, DATA PROCESSING SYSTEM AND METHOD FOR CHANGING THRESHOLD OF NONVOLATILE MEMORY CELL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the constitution not requiring that the additional write-in data are received at every write-in operation by logical synthetic processing/ latching the same write-in state in a memory cell of a write-in state, and the write-in state indicated with the additional write data in the memory cell of an erase state based on the additional write data and the data from the memory cell.

SOLUTION: A flash memory performs read operation using a read word line voltage VRW1 for a specified sector address, and latches it to a sense latch circuit SL to impart it to a data latch circuit DLR. Then, the flash memory performs the read operation using the read-out word line voltage VRW2 for the same sector address, and latched it to the sense latch circuit SL to impart it to the data latch circuit DLL. Further, the flash memory performs the read operation using the read word line voltage VRW3 for the same sector address, and holds stored quaternary information to data latch circuits DLR, DLL by using the latched data.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-345494

(43)公開日 平成11年(1999)12月14日

(51) Int.Cl.⁸

識別記号

FI

G 1 1 C 16/02

G 1 1 C 17/00

641

601T

611C

審査請求 未請求 請求項の数22 OL (全 41 頁)

(21)出願番号 特願平10-152810

(22) 出願日 平成10年(1998)6月2日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72)発明者 金光 道太郎

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(74) 代理人 弁理士 玉村 静世

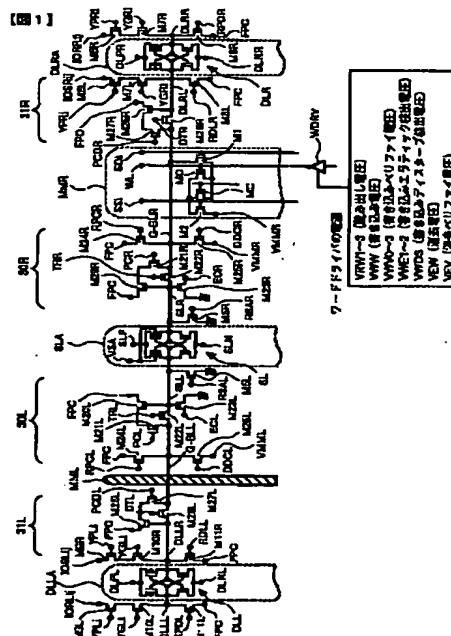
最終頁に続く

(54) 【発明の名称】 半導体装置、データ処理システム及び不揮発性メモリセルの閾値変更方法

(57) 【要約】

【課題】 追加書込み動作を再度行なう場合に追加書込みデータを再び度外部から受け取ることを要しない半導体装置を提供する。

【解決手段】 データラッチ回路（DLR，DLL）に入力した追加書き込みデータとメモリセル（MC）から読み出したデータとに基づいて、書き込み状態の不揮発性メモリセルには同じ書き込み状態を、消去状態の不揮発性メモリセルには追加書き込みデータで指示される書き込み状態を、プログラムするためのデータを生成し、生成されたデータをデータラッチ回路にラッチさせて、追加書き込みのための論理合成処理を行う。追加書き込み動作が終了しても、データラッチ回路には、論理合成処理されたデータが残り、そのラッチデータを、書き込み異常に対して再利用可能にでき、追加書き込み動作を再度行なう場合に書き込みデータを再び外部から受け取ることが要しない。



【特許請求の範囲】

【請求項 1】 電氣的に消去及び書き込み可能な複数個の不揮発性メモリセルが接続されるビット線と、ビット線に接続されるセンスラッチ回路及びデータラッチ回路と、前記不揮発性メモリセルからセンスラッチ回路を介して読み出した情報をデータラッチ回路にラッチさせ、また、データラッチ回路にラッチされたデータに基づいて不揮発性メモリセルに対する書き込み動作を制御する制御手段とを含み、

前記制御手段は、追加書き込みデータをデータラッチ回路に入力し、入力した追加書き込みデータとメモリセルから読み出したデータとに基づいて、書き込み状態の不揮発性メモリセルには同じ書き込み状態を、また、消去状態の不揮発性メモリセルには追加書き込みデータで指示される書き込み状態を、プログラムするためのデータを論理合成処理し、論理合成処理によって得られたデータを前記データラッチ回路にラッチさせ、ラッチされたデータに従って不揮発性メモリセルに書き込みを行なうものである半導体装置。

【請求項 2】 前記制御手段は、前記論理合成処理によって得られたデータを、書き込み異常に対して再利用可能に前記データラッチ回路に保持するものである請求項 1 に記載の半導体装置。

【請求項 3】 前記制御手段は、前記論理合成処理によって得られたデータをデータラッチ回路にラッチした後、データラッチ回路にラッチされた論理合成処理結果のデータに従って不揮発性メモリセルに書き込みを行なう前に、当該書き込み動作の対象とされる不揮発性メモリセルに対して予め消去動作を行なうものである請求項 2 に記載の半導体装置。

【請求項 4】 一対の入出力端子を有するセンスラッチ回路と、センスラッチ回路の夫々の入出力端子に対応して設けられたビット線と、ビット線に接続され電氣的に消去及び書き込み可能な複数個の不揮発性メモリセルと、ビット線に接続される複数個のデータラッチ回路と、前記不揮発性メモリセルにプログラムされている閾値電圧状態に応じて当該不揮発性メモリセルからセンスラッチ回路を介して読み出した情報を 4 値以上の多値情報として複数個のデータラッチ回路にラッチさせ、また、複数個のデータラッチ回路にラッチされた多値情報に基づいて不揮発性メモリセルに書き込みの閾値電圧状態をプログラムする制御手段とを含み、

前記制御手段は、多値情報としての追加書き込みデータをデータラッチ回路に入力すると、入力した追加書き込みデータと当該不揮発性メモリセルから読み出した多値情報とに基づいて、書き込みの閾値電圧状態を有する不揮発性メモリセルには同じ書き込みの閾値電圧状態を、また、消去の閾値電圧状態を有する不揮発性メモリセルには追加書き込みデータで指示される書き込みの閾値電圧状態を、プログラムするための多値情報を論理合成処理

し、論理合成処理によって得られた多値情報をデータラッチ回路にラッチさせ、ラッチされた多値情報に従って不揮発性メモリセルの閾値電圧状態をプログラムするものである半導体装置。

05 【請求項 5】 前記制御手段は、前記論理合成処理によって得られた多値情報を、書き込み異常に対して再利用可能に前記データラッチ回路に保持するものである請求項 4 に記載の半導体装置。

【請求項 6】 前記制御手段は、前記論理合成処理によって得られた多値情報をデータラッチ回路にラッチした後、データラッチ回路にラッチされた論理合成処理結果の多値情報に従って不揮発性メモリセルの閾値電圧状態をプログラムする前に、当該閾値電圧状態をプログラムする対象とされる不揮発性メモリセルに対して予め消去動作を行なうものである請求項 5 に記載の半導体装置。

10 【請求項 7】 不揮発性メモリセルに書き込み電圧を印加するか否かはセンスラッチ回路にラッチされるデータの論理値によって決定され、前記制御手段は、多値情報に応ずる書き込みの閾値電圧状態を不揮発性メモリセルに形成するとき、前記センスラッチ回路に、書き込み電圧印加を指示する論理値のデータをセットするものである請求項 4 乃至 6 の何れか 1 項に記載の半導体装置。

【請求項 8】 電氣的に消去及び書き込み可能な複数個の不揮発性メモリセルが接続されるビット線と、ビット線

25 に接続されるセンスラッチ回路及びデータラッチ回路と、前記不揮発性メモリセルからセンスラッチ回路を介して読み出した情報をデータラッチ回路にラッチさせ、また、データラッチ回路にラッチされたデータに基づいて書き込み単位であるセクタ単位で不揮発性メモリセル

30 に対する書き込み動作を制御する制御手段とを含み、前記制御手段は、書き込み動作において、データラッチ回路にラッチされたデータを用いて書き込み対象セクタ内の書き込み選択とされる不揮発性メモリセルに書き込み電圧を印加すると共に、書き込み電圧印加による閾値電圧状態が目的閾値電圧状態に到達したか否かの判定を

35 書き込み電圧の印加処理毎に毎回前記データラッチ回路にラッチされているデータを用いて判定するものである半導体装置。

【請求項 9】 前記制御手段は、書き込み動作の後に続けて、当該書き込み動作によってプログラムされた閾値電圧が目的閾値電圧に対して過書き込み状態であるか否かを検出するエラーティク・ディスタープ検出を行なうものである請求項 8 に記載の半導体装置。

【請求項 10】 前記制御手段は、前記不揮発性メモリセルにプログラムされている閾値電圧状態に応じて当該不揮発性メモリセルからセンスラッチ回路を介して読み出した情報を 4 値以上の多値情報として複数個のデータラッチ回路にラッチさせ、また、複数個のデータラッチ回路にラッチされた多値情報に基づいて書き込み単位であるセクタ単位で不揮発性メモリセルに書き込みの閾値電

圧状態をプログラムする多値情報記憶機能に対応される
とき、前記エラーティック・ディスタープ検出において、
過書き込み状態としてフェイルする確率の高いワードディ
スタープ検出を先に行なうものである請求項 8 に記載の
半導体装置。

【請求項 1 1】 電氣的に消去及び書き込み可能な複数個
の不揮発性メモリセルが接続されるビット線と、ビット
線に接続されるセンスラッチ回路及びデータラッチ回路
と、前記不揮発性メモリセルからセンスラッチ回路を介
して読み出した情報をデータラッチ回路にラッチさせ、
また、データラッチ回路にラッチされたデータに基づい
て書き込み単位であるセクタ単位で不揮発性メモリセル
に対する書き込み動作を制御する制御手段とを含み、
前記制御手段は、消去後、デブリート防止のために過消
去状態のメモリセルに対して書き込みを行なう、消去
状態のメモリセルの閾値電圧を一定電圧以上に揃えるも
のである半導体装置。

【請求項 1 2】 前記制御手段は、前記デブリート防止
のための書き込みを行なった後、ディスタープ検出を行
なって閾値電圧の異常を検出するものである請求項 1 1
に記載の半導体装置。

【請求項 1 3】 前記制御手段は、消去前に消去ペリフ
アイを行ない、フェイルしたセクタに対して消去を行な
うものである請求項 1 1 又は 1 2 に記載の半導体装置。

【請求項 1 4】 請求項 1 乃至 1 3 の何れか 1 項に記載の
半導体装置と、当該半導体装置のアクセス制御を行なう
アクセス制御手段とを含んで成るデータ処理システム。

【請求項 1 5】 前記アクセス制御手段を外部とインタ
フェースさせるインタフェース手段を更に含んで、不揮
発性メモリカードを構成する請求項 1 4 に記載のデータ
処理システム。

【請求項 1 6】 1 本のワード線と、
上記ワード線に結合された複数の不揮発性メモリセル
と、
上記複数の不揮発性メモリセルに対応して設けられ、一
対の入出力ノードを各々有する複数の第 1 ラッチ回路
と、
上記複数の第 1 ラッチ回路の各々の一对の入出力ノード
の一方にそれぞれ結合され、かつ、上記複数の不揮発性
メモリセルが結合される複数の第 1 ビット線と、
上記複数の第 1 ラッチ回路の各々の一对の入出力ノード
の他方にそれぞれ結合された複数の第 2 ビット線と、
上記複数の第 1 ビット線に結合された第 2 ラッチ回路
と、
上記複数の第 2 ビット線に結合された第 3 ラッチ回路
と、
上記第 1 乃至第 2 ビット線にそれぞれ結合された第 1 乃
至第 2 論理合成回路と、
上記第 1 乃至第 3 ラッチ回路及び第 1 乃至第 2 論理合
成回路に結合され、上記第 1 乃至第 3 ラッチ回路及び第 1

乃至第 2 論理合成回路の動作を制御する制御回路を含
み、

上記複数の不揮発性メモリセルは、第 1 閾値電圧を有す
る第 1 メモリセル群と、上記第 1 閾値と異なる第 2 閾値
電圧を有する第 2 メモリセル群とを含み、
上記制御回路は、上記第 1 メモリセル群内の第 1 メモリ
セルの閾値電圧を上記第 1 閾値電圧から上記第 2 閾値電
圧へ変更するに際し、

(1) 上記第 1 メモリセルの閾値電圧の変化を規定する
データを上記第 1 メモリセルの結合された 1 乃至複数の
ビット線に対応する第 2 及び第 3 ラッチ回路へ格納する
ように制御し、

(2) 上記第 2 メモリセル群の各メモリセルの閾値電圧
に対応するデータを各メモリセルの結合された 1 乃至複
数のビット線に結合された上記第 1 ラッチ回路へ読み出
すと共に、上記読み出されたデータを上記第 2 メモリセ
ル群内のメモリセルの結合された上記第 1 乃至第 2 論理
合成回路によって論理合成して上記第 2 メモリセル群内
のメモリセルの結合された 1 乃至複数のビット線に対応
する第 2 乃至第 3 ラッチ回路に格納するように制御し、

(3) 上記第 2 メモリセル群の各メモリセルの閾値電圧
を第 1 閾値電圧へ変更し、

(4) その後、上記第 2 乃至第 3 ラッチ回路に格納され
た上記データに従って、上記第 1 乃至第 2 論理合成回路
及び上記第 1 乃至第 3 ラッチ回路を制御して、上記第 1
メモリセルの閾値電圧を上記第 1 閾値電圧から第 2 閾値
電圧へ変更させると共に、上記第 2 メモリセル群内のメ
モリセルの閾値電圧を元の第 2 閾値電圧へ変更する、
ものである半導体装置。

【請求項 1 7】 上記第 2 閾値電圧は、複数の値の中か
ら選ばれた 1 つである請求項 1 6 に記載の半導体装置。

【請求項 1 8】 上記第 1 閾値電圧は、消去状態を規定
する閾値電圧とされ、上記第 2 閾値電圧は書き込み状態
を規定する閾値電圧であり、

上記第 2 閾値電圧は、複数の値の中から選ばれた 1 つで
ある請求項 1 6 に記載の半導体装置。

【請求項 1 9】 上記第 2 閾値電圧は、3 値の中から択
一的に選択される電圧である請求項 1 8 に記載の半導体
装置。

【請求項 2 0】 第 1 閾値電圧を有する第 1 メモリセル
群と、上記第 1 閾値と異なる第 2 閾値電圧を有する第 2
メモリセル群とを含む複数の不揮発性メモリセルの閾値
変更方法であって、

上記第 1 メモリセル群内の第 1 メモリセルの閾値電圧の
変化を規定するデータを上記第 1 メモリセルの結合され
た 1 乃至複数のビット線に対応する第 1 及び第 2 ラッチ
回路へ格納する第 1 格納工程と、

上記第 2 メモリセル群の各メモリセルの閾値電圧に対応
するデータを各メモリセルの結合された 1 乃至複数のビ
ット線に結合された第 3 ラッチ回路へ読み出す工程と、

上記読み出されたデータを論理合成回路によって論理合成し、上記第 2 メモリセル群内のメモリセルの結合された 1 乃至複数のビット線に対応する第 1 乃至第 2 ラッチ回路に格納する第 2 格納工程と、

上記第 2 メモリセル群の各メモリセルの閾値電圧を第 1 閾値電圧へ変更する工程と、

上記第 1 乃至第 2 ラッチ回路に格納された上記データに従って、上記論理合成回路及び上記第 1 乃至第 3 ラッチ回路を制御して、上記第 1 メモリセルの閾値電圧を上記第 1 閾値電圧から第 2 閾値電圧へ変更させると共に、上記第 2 メモリセル群内のメモリセルの閾値電圧を元の第 2 閾値電圧へ変更する工程と、

を含む不揮発性メモリセルの閾値変更方法。

【請求項 2 1】 上記第 1 格納工程は、さらに、上記第 1 閾値電圧を規定するデータを、上記第 2 メモリセル群内のメモリセルの結合された 1 乃至複数のビット線に対応する第 1 及び第 2 ラッチ回路へ格納する工程を含む請求項 2 0 に記載の不揮発性メモリセルの閾値変更方法。

【請求項 2 2】 1 本のワード線と、上記ワード線に結合された複数の不揮発性メモリセルと、上記複数の不揮発性メモリセルに対応して設けられ、一対の入出力ノードを各々有する複数の第 1 ラッチ回路と、上記複数の第 1 ラッチ回路の各々の一対の入出力ノードの一方にそれぞれ結合され、かつ、上記複数の不揮発性メモリセルが結合される複数の第 1 ビット線と、上記複数の第 1 ラッチ回路の各々の一対の入出力ノードの他方にそれぞれ結合された複数の第 2 ビット線と、上記複数の第 1 ビット線に結合された第 2 ラッチ回路と、上記複数の第 2 ビット線に結合された第 3 ラッチ回路とを含む半導体装置において、上記不揮発性メモリセルの閾値電圧を第 1 閾値電圧から上記第 1 閾値電圧と異なる第 2 閾値電圧へ変更する不揮発性メモリセルの閾値の変更方法であって、上記第 2 乃至第 3 ラッチ回路へ、上記第 1 閾値電圧から上記第 2 閾値電圧へ変更することを規定するデータを格納する工程と、

上記第 2 乃至第 3 ラッチ回路内に格納されたデータを論理合成して、上記第 1 ラッチ回路の情報を電圧印加情報に設定する設定工程と、

上記電圧印加情報に従って、上記不揮発性メモリセルへ電圧を印加する電圧印加工程と、

上記電圧印加工程の後、上記第 2 乃至第 3 ラッチ回路に格納された上記データに基づいて、上記不揮発性メモリセルの閾値電圧が上記第 2 閾値電圧へ到達したか否かを検査する検査工程と、を含み、

上記検査工程は、その閾値電圧が上記第 2 閾値電圧へ到達していない不揮発性メモリセルに対して、電圧が印加される毎に行われる、不揮発性メモリセルの閾値変更方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電氣的に消去及び書き込み可能な不揮発性メモリセルを有する半導体装置、更には、1 個のメモリセルに 4 値以上の多値情報に應ずる閾値電圧をプログラム可能なフラッシュメモリなどの不揮発性半導体記憶装置及び不揮発性メモリセルの閾値変更方法に関し、例えば、当該不揮発性半導体記憶装置を用いるファイルメモリシステムなどのデータ処理システムに適用して有効な技術に関するものである。

【0002】

10 【従来の技術】 浮遊ゲートに対する電子の注入や電子の引き抜きによって情報を記憶させることができる不揮発性半導体記憶装置、例えばフラッシュメモリが従来から提供されている。フラッシュメモリはフローティングゲート（浮遊ゲート）、コントロールゲート、ソース及びドレインを持つメモリセルトランジスタを有する。このメモリセルトランジスタは、前記フローティングゲートに電子が注入されると閾値電圧が上昇し、また、前記フローティングゲートから電子を引き抜くと閾値電圧が低下する。前記メモリセルトランジスタは、データ読み出しのためのワード線電圧（コントロールゲート印加電圧）に対する閾値電圧の高低に応じた情報を記憶することになる。特に制限されないが、本明細書においてメモリセルトランジスタの閾値電圧が低い状態を消去状態、高い状態を書き込み状態と称する。

25 【0003】 このようなフラッシュメモリとして、1 個のメモリセルトランジスタに 4 値以上の情報を記憶するものがある。このような多値メモリについて記載された文献の例として日経マイクロデバイス（1994 年 11 月号）第 48 頁及び第 49 頁がある。さらに、特開平 9-297996 号公報がある。

【0004】

30 【発明が解決しようとする課題】 多値メモリにおいて、例えば、消去状態と、消去状態に対して夫々閾値電圧が相違される第 1 乃至第 3 の書き込み状態との中から一つの状態を選択できるようにすれば、1 個のメモリセルトランジスタに 4 値の情報を格納することができる。書き込み動作の前に消去動作が行なわれるとすれば、第 1 乃至第 3 の書き込み状態の全てを非選択とするか、或いは何れの書き込み状態を選択するかを決定することによって、4 値の35 情報記憶を行なうことができる。そのための書き込み動作においては、前記第 1 乃至第 3 の書き込み状態を個々に得るための書き込み動作を選択するか否かを決定するための書き込み制御情報が必要になる。そのような書き込み制御情報を保持するために、夫々ビット線に設けられたセンスラッチ回路及びデータラッチ回路を用いることができる。

45 【0005】 センスラッチ回路は例えばスタティックラッチから成り、そのセンスラッチ回路の一対の入出力端子に夫々ビット線の一部が接続され、夫々のビット線に前記メモリセルトランジスタのドレインが接続される。

更に各ビット線の他端にデータラッチ回路が接続される。前記センスラッチ回路は、前記メモリセルトランジスタのコントロールゲートに読み出し電圧又はペリファイ電圧を印加したとき、そのソース・ドレイン間に電流が流れたり流れなかったりする状態をセンスする。このとき、センスラッチ回路の一方の動作非選択側のビット線はリファレンスレベルにプリチャージされている。また、コントロールゲートとドレインとの間に高電位差を形成して書き込みを行う場合、メモリセル毎にドレイン電圧を高くしたり低くしたりすることにより、メモリセルに対する書き込み選択と書き込み非選択とを区別することができる。この場合に、センスラッチ回路は書き込み選択、非選択に応じたデータをラッチすることになる。このラッチデータが前記書き込み制御情報である。

【0006】そのような書き込み制御情報は、外部から供給される書き込みデータの2ビット毎にデータ変換回路を介して生成され、書き込み選択されるビット線のセンスラッチ回路と当該センスラッチ回路を共有するビット線対の各データラッチ回路にラッチされる。ワード線単位で書き込み動作が行なわれる場合、当該ワード線を共有する全てのビット線に関し前記センスラッチ回路及びデータラッチ回路に書き込み制御情報が予めラッチされる。

【0007】書き込み動作では、まず、センスラッチ回路にラッチされた書き込み制御情報に従って第1書き込み状態への有無が決定され、次に、一方のデータラッチ回路からセンスラッチ回路に内部転送された書き込み制御情報に従って第2書き込み状態への有無が決定され、更に、他方のデータラッチ回路からセンスラッチ回路に内部転送された書き込み制御情報に従って第3書き込み状態への有無が決定される。このようにして、2ビットのデータで特定される4値の情報を1個のメモリセルに格納することができる。上記第1乃至第3書き込み状態への書き込み動作では夫々の書き込み状態に割り当てられている閾値電圧に到達したかを調べるペリファイ動作が行なわれる。

【0008】このとき、メモリセルの中には、第1乃至第3の各書き込み状態に対して過書き込み状態にされるものがあり、過書き込み状態にされると、前後の書き込み状態における閾値電圧を区別することができなくなり、例えば、第1書き込み状態とされるべきメモリセルの閾値電圧が第2書き込み状態の閾値電圧と区別できなくなるほど高くされる場合がある。そのような場合には、書き込み動作を最初からやり直すために、書き込み対象とされたメモリセルに対して消去動作を行なった後、前記書き込み動作が再度行なわれる。

【0009】しかしながら、前記第1乃至第3書き込み状態への書き込み動作を一旦行なうと、最初にセンスラッチ回路にラッチされた書き込み制御情報はデータラッチ回路から内部転送された別の書き込み制御情報によって

上書きされて消失されてしまっている。このため、過書き込みに起因する再書き込み動作を行なうには、再度外部から同じ書き込みデータを受け取らなければならない。

そのためには、フラッシュメモリをアクセス制御する制御回路は、フラッシュメモリに対する書き込み動作の後、しばらくの間、書き込みデータをワークメモリなどに保持させておかなければならず、フラッシュメモリをアクセス制御するための負荷も大きくなり、フラッシュメモリアクセス若しくはデータ処理効率を低下させる原因になることが本発明者によって明らかにされた。

【0010】また、上記事情は追加書き込みの場合も同様である。例えば、フラッシュメモリは、ハードディスク装置等の磁気ディスク記憶装置によるファイルシステムと互換のファイルメモリシステム等に利用される。このとき、フラッシュメモリの記憶領域の一部はユーザ領域とは別の管理領域に割り当てられる。ワード線単位で書き込み・消去可能なフラッシュメモリにおいて、ワード線1本分のメモリセル（単にセクタと称する）はユーザ領域及び管理領域に割当てられ、その管理領域には、対応セクタのユーザ領域の有効性を示す情報や書換え回数の情報が記憶される。このような記憶情報はその性質上、セクタ内で、ユーザデータの書換えとは別に行なわなければならない場合がある。このような要求に対処できる書き込み動作態様として追加書き込みがある。

【0011】追加書き込み動作では、書き込み選択とされるメモリセルに追加書き込みデータが与えられることになるが、書き込み動作はセクタ単位で行なわれるため、書き込み非選択とされるメモリセルのデータを予め退避させ、退避したデータと追加書き込みデータとを併せて書き込み動作を行なわなければならない。

【0012】しかしながら、この場合にも、過書き込み状態などを生ずれば、書き込み動作を最初からやり直さなければならず、この時、再書き込みデータを改めて外部から貰うのであれば、上記書き込み動作と同様、フラッシュメモリをアクセス制御する制御回路は、フラッシュメモリに対する追加書き込み動作の後、しばらくの間、追加書き込みデータをワークメモリなどに保持させておかなければならず、フラッシュメモリをアクセス制御するための負担も大きくなり、フラッシュメモリアクセス若しくはデータ処理効率を低下させる原因になる。

【0013】また、本発明者は、フラッシュメモリの書き込みペリファイ動作について検討した。書き込み動作では書き込み高電圧の印加とペリファイを繰り返しながら少しずつ閾値電圧を変化させていく。このような動作の過程で、メモリセルの閾値電圧状態が目標値に到達したことを検出すると、当該メモリセルが接続するビット線のセンスラッチに書き込み電圧阻止情報をラッチさせ、それ以降、一旦書き込み閾値電圧状態になったことが判定されたメモリセルには2度と書き込み電圧が印加されない。しかしながら、書き込み動作の初期の段階ではほとんどの

メモリセルが所要の書き込みの閾値電圧に到達していないため書き込みベリファイ時、メモリセルのソースに流れる電流が大きく、見掛け上閾値が高くなる。従って、書き込み動作の初期の段階で書き込みベリファイ動作がパスしたメモリセルの中には、所要の書き込みの閾値電圧状態に到達していないものが存在する虞がある。このようなとき、一旦書き込み閾値電圧状態になったことが判定されたメモリセルには2度と書き込み電圧を印加できない構成では不都合である。

【0014】更に本発明者は、消去動作についても検討した。これによれば、消去動作の後の書き込み動作の効率化、若しくは書き込まれたデータの信頼性を考慮すれば、消去状態のメモリセルについてもその閾値電圧の分布を極力均一化することの重要性が見出された。

【0015】本発明の目的は、外部から供給された追加書き込みデータ若しくは退避のためにメモリセルから読み出されたデータが追加書き込み動作毎に失われないようにできる半導体装置を提供することにある。

【0016】本発明の別の目的は、追加書き込み動作を再度行なう場合に追加書き込みデータを再び外部から受け取することを要しない半導体装置を提供することにある。

【0017】本発明の更に別の目的は、書き込みベリファイ動作で一旦所期の閾値電圧にされたと判定されても再度ベリファイ動作の対象とすることで、書き込みベリファイ動作の信頼性を向上させることができる半導体装置を提供することにある。

【0018】本発明の他の目的は、消去状態のメモリセルの閾値電圧の分布を均一化できる半導体装置を提供することにある。

【0019】本発明のその他の目的は、不揮発性メモリセルの閾値変更方法を提供することにある。

【0020】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0021】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0022】〔1〕第1の観点による本発明は、追加書き込みデータの入力(WS3)、メモリセルから読み出したデータと追加書き込みデータとの論理合成処理(WS4)、消し戻し(WS5)、及び書き込み(TS1~TS4)、を経て追加書き込みを行なう半導体装置

(1)及びその閾値変更方法を提供する。この半導体装置は、メモリセルの情報記憶が2値又は多値の何れであってもよい。

【0023】更に詳しくは、半導体装置は、電気的に消去及び書き込み可能な複数個の不揮発性メモリセル(MC)が接続されるビット線(G-BLR, G-BLL)と、ビット線に接続されるセンスラッチ回路(SL)及

びデータラッチ回路(DLR, DLL)と、前記不揮発性メモリセルからセンスラッチ回路を介して読み出した情報をデータラッチ回路にラッチさせ、また、データラッチ回路にラッチされたデータに基づいて不揮発性メモリセルに対する書き込み動作を制御する制御手段(18)とを含む。前記制御手段は、追加書き込みデータをデータラッチ回路に入力し、入力した追加書き込みデータとメモリセルから読み出したデータとに基づいて、書き込み状態の不揮発性メモリセルには同じ書き込み状態を、また、消去状態の不揮発性メモリセルには追加書き込みデータで指示される書き込み状態を、プログラムするためのデータを論理合成処理し、論理合成処理によって得られたデータを前記データラッチ回路にラッチさせ、ラッチされたデータに従って不揮発性メモリセルに書き込みを行なう。これにより、論理合成処理したデータをデータラッチ回路にラッチした状態で上記追加書き込みを行なうことができる。詳しくは、論理合成処理したデータをデータラッチ回路にラッチし、ラッチしたデータが例えば多値のどの閾値電圧に対応するかを複数段階の書き込み動作毎に判定してその判定結果である書き込み制御情報をセンスラッチ回路にラッチさせ、センスラッチ回路にラッチされた書き込み制御情報に従って、多値の閾値電圧をメモリセルに設定するための書き込み動作を段階的に行なう。

【0024】したがって、追加書き込み動作が終了しても、データラッチ回路には、論理合成処理されたデータが残る。書き込み動作の完了まで論理合成処理の結果データをデータラッチ回路に保持すれば、そのラッチデータを、書き込み異常に対して再利用可能にでき、追加書き込み動作を再度行なう場合に書き込みデータを再び外部から受け取することを要しない。したがって、半導体装置をアクセス制御する制御回路は、半導体装置に対する書き込み動作の後、しばらくの間、書き込みデータをワークメモリなどに保持しておかなくてもよく、半導体装置のメモリアクセス若しくはメモリアクセスを伴うデータ処理効率を向上させることができる。

【0025】前記論理合成処理によって得られたデータをデータラッチ回路にラッチした後、データラッチ回路にラッチされた論理合成処理結果のデータに従って不揮発性メモリセルに書き込みを行なう前に、当該書き込み動作の対象とされる不揮発性メモリセルに対して予め消去動作(消し戻し、弱い消去)を行なうことができる。これにより、追加書き込みであっても、追加書き込み直前のメモリセルの状態は概ね消去状態に揃えられるから、書換え耐性の範囲で追加書き込みの回数制限を撤廃でき、追加書き込みされたデータの信頼性を向上させることができる。

【0026】上記手段を4値以上の多値の情報記憶に特化した具体的な内容の半導体装置は、一対の入出力端子を有するセンスラッチ回路と、センスラッチ回路の夫

々の入出力端子に対応して設けられたビット線と、ビット線に接続され電氣的に消去及び書き込み可能な複数の不揮発性メモリセルと、ビット線に接続される複数のデータラッチ回路と、前記不揮発性メモリセルにプログラムされている閾値電圧状態に応じて当該不揮発性メモリセルからセンスラッチ回路を介して読み出した情報を4値以上の多値情報として複数のデータラッチ回路にラッチさせ、また、複数のデータラッチ回路にラッチされた多値情報に基づいて不揮発性メモリセルに書き込みの閾値電圧状態をプログラムする制御手段とを含む。前記制御手段は、多値情報としての追加書き込みデータをデータラッチ回路に入力すると、入力した追加書き込みデータと当該不揮発性メモリセルから読み出した多値情報とに基づいて、書き込みの閾値電圧状態を有する不揮発性メモリセルには同じ書き込みの閾値電圧状態を、また、消去の閾値電圧状態を有する不揮発性メモリセルには追加書き込みデータで指示される書き込みの閾値電圧状態を、プログラムするための多値情報を論理合成処理し、論理合成処理によって得られた多値情報をデータラッチ回路にラッチさせ、ラッチされた多値情報に従って不揮発性メモリセルの閾値電圧状態をプログラムする。

【0027】〔2〕第2の観点による本発明は、多値であっても2値であっても、書き込みデータを原始的にラッチするデータラッチ回路(DLR, DLL)のラッチデータを毎回用いて書き込みベリファイ動作を行なう。すなわち、半導体装置は、電氣的に消去及び書き込み可能な複数の不揮発性メモリセルが接続されるビット線と、ビット線に接続されるセンスラッチ回路及びデータラッチ回路と、前記不揮発性メモリセルからセンスラッチ回路を介して読み出した情報をデータラッチ回路にラッチさせ、また、データラッチ回路にラッチされたデータに基づいて書き込み単位であるセクタ単位で不揮発性メモリセルに対する書き込み動作を制御する制御手段(18)とを含む。前記制御手段は、書き込み動作において、データラッチ回路にラッチされたデータを用いて書き込み対象セクタ内の書き込み選択とされる不揮発性メモリセルに書き込み電圧を印加する(WS11)と共に、書き込み電圧印加による閾値電圧状態が目的閾値電圧状態に到達したか否かの判定を書込み電圧の印加処理毎に毎回前記データラッチ回路にラッチされているデータを用いて判定する(WS12, WS13)。

【0028】この手段によれば、データラッチ回路に保持されているデータを毎回用いて書き込みベリファイ動作を行なうから、書き込みの初期の段階などで書き込みベリファイ動作によって所期の閾値電圧に達したことが誤って判定されても、その不良を確認して再書き込み可能になる。

【0029】書き込み後にエラティック・ディスタ urb 検出を実行することにより、書き込みによる閾値電圧分布の異常を検出することができる。

【0030】また、不揮発性メモリセルに多値で情報記憶を行なう場合、前記エラティック・ディスタ urb 検出において、フェイルする確率の高いワードディスタ urb 検出を先に行なうことができる。これにより、フェイルする場合にフェイルの状態を検出するまでの処理時間を短縮できる。

【0031】〔3〕第3の観点による本発明は、多値であっても2値であっても、消去後、デブリーフ防止のために過消去状態のメモリセルに対して書き戻し(閾値電圧が一定電圧以下のメモリセルを選択的に書き込む)を行なって、消去状態のメモリセルの閾値電圧を一定電圧以上に揃える。さらに、前記デブリーフ防止のための書き戻しを行なった後、ディスタ urb 検出を行なって閾値電圧の異常を検出する。これにより、消去状態のメモリセルの閾値電圧分布を均一化できる。

【0032】また、消去前に消去ベリファイを行ない、フェイルしたセクタに対してだけ消去を行なう。これにより、消去動作の無駄な時間を省くことができる。

【0033】〔4〕上記半導体装置は例えばフラッシュメモリのような単一半導体基板上に形成された半導体メモリ、或いは、フラッシュメモリをオンチップで備えたマイクロコンピュータないしマイクロプロセッサなどとされる。前記半導体メモリ化されたフラッシュメモリは、PC(Personal Computer)カードとしての不揮発性メモリカードのようなデータ処理システムを構成できる。このデータ処理システムは、フラッシュメモリとされる半導体装置と、当該半導体装置のアクセス制御を行なうアクセス制御手段と、前記アクセス制御手段を外部とインタフェースさせるインタフェース手段とをカード基板に含む。

【0034】

【発明の実施の形態】《フラッシュメモリの全体構成》図2には本発明の一例に係るフラッシュメモリ1の全体的な回路ブロック図が示される。同図に示されるフラッシュメモリ1は、一つのメモリセルに2ビットの情報を記憶する4値フラッシュメモリとされる。

【0035】同図においてメモリアレイ3は、メモリマツト、データラッチ回路及びセンスラッチ回路を有する。このメモリマツトは電氣的に消去及び書き込み可能な不揮発性のメモリセルトランジスタを多数有する。メモリセルトランジスタ(フラッシュメモリセルとも記す)は、例えば図3に例示されるように、半導体基板若しくはウェルSUB内に形成されたソースS及びドレインDと、ソースSとドレインDとの間のチャンネル領域にトンネル酸化膜を介して形成されたフローティングゲートFG、そしてフローティングゲートFGに層間絶縁膜を介して重ねられたコントロールゲートCGによって構成される。コントロールゲートCGはワード線6に、ドレインDはビット線5に、ソースSは図示を省略するソース線に接続される。

【0036】フラッシュメモリ1の外部入出力端子I/00～I/07は、アドレス入力端子、データ入力端子、データ出力端子、コマンド入力端子に兼用される。外部入出力端子I/00～I/07から入力されたXアドレス信号はマルチプレクサ7を介してXアドレスバッファ8に供給される。Xアドレスデコーダ9はXアドレスバッファ8から出力される内部相補アドレス信号をデコードしてワード線を駆動する。

【0037】前記ビット線5の一端側には、後述されるセンスラッチ回路(SL)が設けられ、他端には同じく後述されるデータラッチ回路(DLL、DLR)が設けられている。ビット線5はYアドレスデコーダ11から出力される選択信号に基づいてYゲートアレイ回路13で選択される。外部入出力端子I/00～I/07から入力されたYアドレス信号はYアドレスカウンタ12にプリセットされ、プリセット値を起点に順次インクリメントされたアドレス信号が前記Yアドレスデコーダ11に与えられる。

【0038】Yゲートアレイ回路13で選択されたビット線は、データ出力動作時には出力バッファ15の入力端子に導通され、データ入力動作時には入力バッファ17を介してデータ制御回路16の出力端子に導通される。出力バッファ15、入力バッファ17と前記入出力端子I/00～I/07との接続は前記マルチプレクサ7で制御される。入出力端子I/00～I/07から供給されるコマンドはマルチプレクサ7及び入力バッファ17を介してモード制御回路18に与えられる。

【0039】制御信号バッファ回路19には、アクセス制御信号としてチップイネーブル信号CEb、出力イネーブル信号OEb、書き込みイネーブル信号WEb、シリアルクロック信号SC、リセット信号RESb及びコマンドイネーブル信号CDEbが供給される。モード制御回路18は、それら信号の状態に応じて外部との信号インタフェース機能などを制御し、また、入力されたコマンドに従って内部動作を制御する。入出力端子I/00～I/07に対するコマンド入力又はデータ入力の場合、前記信号CDEbがアサートされ、コマンド入力であれば更に信号WEbがアサート、データ入力であればWEbがネゲートされる。アドレス入力であれば、前記信号CDEbがネゲートされ、信号WEbがアサートされる。これにより、モード制御回路18は、外部入出力端子I/00～I/07からマルチプレクスされて入力されるコマンド、データ及びアドレスを区別できる。モード制御回路18は、消去や書き込み動作中にレディー・ビジー信号R/Bbをアサートしてその状態を外部に知らせることができる。

【0040】内部電源回路(内部電圧発生回路)20は、書き込み、消去、ベリファイ、読み出しなどのための各種内部電圧とされる動作電源21を生成して、前記Xアドレスデコーダ9やメモリセルアレイ3に供給する。

【0041】前記モード制御回路18は、入力コマンドに従ってフラッシュメモリ1を全体的に制御する。フラッシュメモリ1の動作は、基本的にコマンドによって決定される。フラッシュメモリのコマンドには、例えば図4に例示される、読み出し、消去、書き込み、及び追加書き込みの各コマンドがある。同図において、コマンドコードは16進数表記され、それが記号Hで示されている。

【0042】フラッシュメモリ1はその内部状態を示すためにステータスレジスタ180を有し、その内容は、信号OEbをアサートすることによって入出力端子I/00～I/07から読み出すことができる。ステータスレジスタ180の各ビットの内容と入出力端子I/00～I/07との対応が図5に例示されている。

【0043】図6には前記メモリアレイ3に含まれるデータラッチ回路とセンスラッチ回路との関係が示されている。中央にセンスラッチ回路SLのアレイSLAが配置され、センスラッチ回路SLの一方の入出力ノードSLL側にはスイッチ回路・演算回路アレイ30L、メモリマットMML、スイッチ回路・演算回路アレイ31L、及び上位データラッチ回路DLLのアレイDLLAが配置されている。他方の入出力ノードSLR側にも同様に、スイッチ回路・演算回路アレイ30R、メモリマットMMR、スイッチ回路・演算回路アレイ31R、及び下位データラッチ回路DLRのアレイDLRAが配置されている。更に図6に示されるように、一対のビット線に着目してその構成を把握すれば、スタティックラッチ形態のセンスラッチ回路SLの一対のデータ入出力ノードSLL、SLRにはビット線G-BLL、G-BLRを介してデータラッチ回路DLL、DLRが設けられている。データラッチ回路DLL、DLRはYゲートアレイ回路13を介して供給される書き込みデータビットをラッチすることができる。この例に従えば、フラッシュメモリ1は、8ビットの入出力端子I/00～I/07を有するから、1回の書き込みデータの入力によって4対のビット線のデータラッチ回路DLL、DLRに書き込みデータをセットすることができる。データセットの態様は、図7のデータラッチ回路DLL、DLRと対とされる入出力端子I/04、I/00との対応関係に代表されるように、一定にされる。ここでの説明では、書き込みの単位をワード線単位とするので、1本分のワード線に選択端子が結合する全てのメモリセルのビット線に関するデータラッチ回路DLL、DLRに書き込みデータをセットした後、書き込み電圧印加による書き込み動作が行なわれることになる。I/05とI/01、I/06とI/02、I/07とI/03とは上記I/04とI/00の様に、対をなす。

【0044】図2に示されるフラッシュメモリ1が実現しようとする多値情報記憶技術において、一つのメモリセルの情報記憶状態は、消去状態(“11”)、第1の書き込み状態(“10”)、第2の書き込み状態(“00”)、第3の書き込み状態(“01”)の中から選ばれ

た一つの状態とされる。全部で4通りの情報記憶状態は、2ビットのデータによって決定される状態とされる。即ち、2ビットのデータを一つのメモリセルで記憶する。この4値のデータと閾値電圧との関係は、図8の閾値電圧分布図に示される通りである。

【0045】図8に示されるような閾値分布を得るには、消去の後の書き込み動作時にワード線に印加する書き込みベリファイ電圧を相互に異なる3種類の電圧に設定し、これらの3種類の電圧を順次切り替えて、3回に分けて書き込み動作を行なう。図8において、VWV1、VWV2、VWV3は夫々第1の書き込み状態、第2の書き込み状態、第3の書き込み状態を得る時に用いる書き込みベリファイ電圧である。

【0046】それら3回に分けた個々の書き込み動作において、ワード線とビット線の電圧印加状態の一例は図9に示される。書き込み選択のビット線には0V、非選択のビット線には6Vを印加する。特に制限されないが、ワード線は例えば17Vとされる。前記書き込み高電圧印加時間を多くするにしたがってメモリセルの閾値電圧が上昇される。3種類の書き込み閾値電圧制御は、そのような高電圧状態の時間制御、更にはワード線に印加する高電圧のレベル制御によって行うことができる。

【0047】ビット線に0Vを印加するか、6Vを印加するかは、センスラッチ回路SLにラッチさせる書き込み制御情報の論理値で決定される。書き込み動作選択メモリマトリ側においてセンスラッチのラッチデータが論理値“1”で書き込み非選択、論理値“0”で書き込み選択となるように制御される。その制御の詳細は後述する。尚、図9に示される様に、セクター一括消去時には、選択ワード線が-16Vとされ、非選択ワード線が0Vとされ、選択ビット線は2Vとされる。

【0048】上記センスラッチ回路SLに対する書き込み制御情報のラッチ動作は、前記3回に分けた書き込み動作の各動作毎に制御される。この書き込み制御は前記モード制御回路18が行い、そのとき、前記センスラッチ回路SLがラッチすべき書き込み制御情報は、データラッチ回路DLL、DLRが保持している書き込みデータビットを用いた演算を書き込み動作毎に行なって生成し、それをセンスラッチ回路SLにラッチさせる。例えば、図7に例示されるように、データラッチ回路DLL、DLRにラッチされた書き込みデータが“01”であったとすると、図8に例示されるように“01”状態は第3の書き込み状態である。消去状態の後の3回に分けた書き込み動作が、図10の第2の態様(Case2)の如く閾値電圧の低い順に書き込み状態を生成していく書き込み手順が採用されている場合、第1回目(1)に第1の書き込み状態を得るための書き込み動作時にデータラッチ回路DLL、DLRの書き込みデータ(“01”)を用いて演算された結果(書き込み制御情報)は論理値“1”、第2回目(2)に第2の書き込み状態を得るための書き込み動作時にデータラッチ

回路DLL、DLRの書き込みデータ(“01”)を用いて演算された結果は論理値“1”、第3回目(3)に第3の書き込み状態を得るための書き込み動作時にデータラッチ回路DLL、DLRの書き込みデータ(“01”)を用いて演算された結果は論理値“0”とされる。そのような演算は、前記スイッチ回路・演算回路アレイ(31L、30L又は31R、30R)を動作させて行なう。したがって、第3回目(3)の書き込み時だけ、書き込み電圧が印加され、当該メモリセルには4値の内の第3の書き込み状態(“01”)が実現される。

【0049】このようにして、3回に分けて書き込み動作が行なわれても、最初にデータラッチ回路DLL、DLRにラッチされた書き込みデータは破壊されず、そのまま維持されている。データラッチ回路DLL、DLRにラッチされた2ビットの書き込みデータを、書き込み動作毎に前記スイッチ回路・演算回路アレイ(31L、30L及び31R、30R)によって演算し、その演算結果のデータを毎回センスラッチ回路SLにセットするという、制御シーケンスを採用するからである。

【0050】尚、書き込み動作において閾値電圧を変化させる順番などは図10の第2の態様(Case2)に限定されず、第1の態様(Case1)のように閾値電圧の高いものから設定したり、或いは第3の態様(Case3)のようにどの書き込み状態に対しても1回の書き込み動作で得る閾値電圧の変化率を同じようにしたり、或いは第4の態様(Case4)又は第5の態様(Case5)の如く制御することも可能である。すなわち、Case4において、第1回目(1)の書き込みで、データ“00”乃至“01”にされるべきメモリセルの閾値が、“00”に対応する閾値へ変化させられる。次に、第2回目(2)の書き込みで、第1回目(1)の書き込みで、データ“00”に対応する閾値に設定されたメモリセルの中から、データ“01”にされるべきメモリセルの閾値がデータ“01”に対応する閾値へ変化させられる。そして、第3回目(3)の書き込みで、データ“10”にされるべきメモリセルの閾値がデータ“10”に対応する閾値へ変化させられる。Case5において、第1回目(1)の書き込みは、Case4と同様に、上記データ“00”乃至“01”にされるべきメモリセルの閾値が、“00”に対応する閾値へ変化される。次に、第2回目(2)の書き込みで、データ“10”にされるべきメモリセルの閾値がデータ“10”に対応する閾値へ変化させられる。その後、第3回目(3)の書き込みで、第1回目(1)の書き込みで、データ“00”に対応する閾値に設定されたメモリセルの中から、データ“01”にされるべきメモリセルの閾値がデータ“01”に対応する閾値へ変化させられる。

【0051】データ読み出し動作時は、ワード線に印加するワード線選択レベルとしての電圧を、3種類設定し、3種類のワード線選択レベルを順次変更しながら3

回の読出し動作を行い、個々の読み出し動作でメモリセルから読み出される2値(1ビット)のデータをセンスラッチ回路4にラッチする。ラッチされる度に、センスラッチされた内容をデータラッチ回路に2ビットの情報として反映させる演算を行なう。3回のセンスラッチの結果によってデータラッチ回路DLL, DLRに得られた2ビットが、当該メモリセルが保有する4値の情報に対応するデータとされる。

【0052】図11には図2のフラッシュメモリをレイアウト的な観点から表現したブロック図が示される。図11において、モード制御回路18は、コマンドデコーダ、ステータ情報を格納したROM、ROMのデコーダ、ROM制御系回路、CPU、及びステータレジスタ・テスト系回路によって構成される。また、Yアドレスカウンタ12には冗長による救済制御系の回路も含まれている。また、図2のマルチプレクサ7及び入力バッファ17は、図11において、入力バッファ70、データの信号配線、及びメインアンプ170によって実現されている。図2の制御信号バッファ回路19は制御信号入力バッファ19Aとデータ入出力制御回路19Bによって構成される。メモリアレイ3には、センスラッチ回路アレイSLAを挟んでその両側に2組のメモリマットMMR, MMLが設けられている。

【0053】《メモリアレイの詳細》次に、上記メモリアレイの詳細を説明する。図1には、上記フラッシュメモリにおけるセンスラッチ回路及びデータラッチ回路を中心とする回路構成の一例が示される。図1には1個のセンスラッチ回路SLの左右一対のビット線G-BLL, G-BLRの周囲の構成が代表的に示されている。図1から明らかなように、左右一対のビット線G-BLL, G-BLRの周囲の構成は、センスラッチ回路SLを中心に鏡面对称構造とされる。

【0054】メモリマットMML, MMRは電氣的に書き換え可能な複数のメモリセルMC(代表的に数個が図示されている)を有する。1個のメモリセルMCは、図3に示される通り、コントロールゲート、フローティングゲート、ソース及びドレインを持ち電氣的に書き換え可能な1個のトランジスタ(メモリセルトランジスタ)によって構成される。メモリセルのレイアウト構造は、特に制限されないが、所謂AND型とされる。メモリマットMMR側に例示されるように、AND型の構成では、複数の前記メモリセルトランジスタがそれらに共通のソース及びドレインを構成する夫々の拡散層(半導体領域)を介して並列配置され、ドレインを構成する拡散層は選択トランジスタM1を介してビット線G-BLRに、ソースを構成する拡散層は選択トランジスタM2を介して共通ソース線VMMRに結合されている。SSiは選択トランジスタM2のスイッチ制御信号、SDiは選択トランジスタM1のスイッチ制御信号である。WLはメモリセルMCのコントロールゲートに結合され

るワード線である。メモリマットMMLも同様に構成されている。尚、本明細書に添付された図面においてPチャンネル型MOSトランジスタはその基体ゲートに矢印を付してNチャンネル型MOSトランジスタと区別して

05 図示してある。

【0055】前記センスラッチ回路SLは、一対のCMOSインバータから成るスタティックラッチ、即ち相互に一方のCMOSインバータの入力端子を他方のCMOSインバータの出力端子に結合して成る回路、によって構成されている。SLR, SLLはセンスラッチ回路SLの一対の入出力ノードである。SLP, SLNはセンスラッチ回路SLの動作電源である。MOSトランジスタM5L, M5Rは入出力ノードSLL, SLRを選択的にディスチャージ(クリア)する。

15 【0056】前記データラッチ回路DLRは、一対のCMOSインバータから成るスタティックラッチ、即ち相互に一方のCMOSインバータの入力端子を他方のCMOSインバータの出力端子に結合して成る回路、によって構成されている。DLRR, DLRLLはデータラッチ回路DLRの一対の入出力ノードである。DLPRL, DLRNRはデータラッチ回路DLRの動作電源である。MOSトランジスタM6L, M7Lの直列回路とMOSトランジスタM6R, M7Rの直列回路は、前記データラッチ回路DLRに相補信号形態でデータを入出力するカラムスイッチ回路を構成する。MOSトランジスタM8L, M8Rは入出力ノードDLRLL, DLRRを選択的にチャージするトランジスタである。

30 【0057】前記データラッチ回路DLLは、一対のCMOSインバータから成るスタティックラッチ、即ち相互に一方のCMOSインバータの入力端子を他方のCMOSインバータの出力端子に結合して成る回路、によって構成されている。DLLR, DLLLはデータラッチ回路DLLの一対の入出力ノードである。DLPPL, DLRNLはデータラッチ回路DLLの動作電源である。MOSトランジスタM9L, M10Lの直列回路とMOSトランジスタM9R, M10Rの直列回路は、前記データラッチ回路DLLに相補信号形態でデータを入出力するカラムスイッチ回路を構成する。MOSトランジスタM11L, M11Rは入出力ノードDLLL, DLLRを選択的にチャージするトランジスタである。

40 【0058】前記スイッチ回路・演算回路アレイ30Rは、ビット線G-BLR毎にMOSトランジスタM20R~M25Rによって構成される回路を有する。トランジスタM20Rはセンスラッチ回路SLの入出力ノードSLRの電圧レベルをゲートに受け、それがハイレベルのとき、電圧FPCをMOSトランジスタM21Rを介してビット線G-BLRへ供給する。この場合、ビット線G-BLRへ供給される電圧レベルは制御信号PCRの電圧レベルによるMOSトランジスタM21Rのコンダクタンス制御で決定される。トランジスタM22Rは

入出力ノードSLRとビット線G-BLRとを選択的に導通させるトランスファゲートを構成する。MOSトランジスタM23Rはオール判定(ALL判定とも記す)に利用される。MOSトランジスタM24R, M25Rはビット線G-BLRのプリチャージ、ディスチャージに利用される。前記スイッチ回路・演算回路アレイ30Lもビット線G-BLL毎にMOSトランジスタM20L~M25Lによって上記同様に構成される回路を有する。尚、MOSトランジスタM20L, M21L, M24L, M25Lのゲート制御信号は前記MOSトランジスタM20R, M21R, M24R, M25Rとは相違される。MOSトランジスタM22LとM22Rは、常に同時に動作する様に制御される。

【0059】前記スイッチ回路・演算回路アレイ31Rは、ビット線G-BLR毎にMOSトランジスタM26R~M28Rによって構成される回路を有する。トランジスタM26Rはデータラッチ回路DLRの入出力ノードDLRLの電圧レベルをゲートに受け、それがハイレベルのとき、電圧FPCをMOSトランジスタM27Rを介してビット線G-BLRに供給する。この場合、ビット線G-BLRへ供給される電圧レベルは制御信号PCDRの電圧レベルによるMOSトランジスタM27Rのコンダクタンス制御で決定される。トランジスタM28Rは入出力ノードDLRLとビット線G-BLRとを選択的に導通させるトランスファゲートを構成する。前記スイッチ回路・演算回路アレイ31Lもビット線G-BLL毎にMOSトランジスタM26L~M28Lによって上記同様に構成される回路を有する。尚、MOSトランジスタM27L, M28Lのゲート制御信号は前記MOSトランジスタM27R, M28Rとは相違される。

【0060】図1には代表的に1個のワードドライバWDRVが図示されている。ワードドライバWDRVの動作電源、即ち、ワード線の駆動電圧は、フラッシュメモリ1の動作内容に応じて決定され、読み出し電圧VRW1~VRW3、書き込み電圧VWW、書き込みベリファイ電圧VWV0~VWV3、書き込みエラティク検出電圧VWE1~VWE2、書き込みディスタープ検出電圧VWDS、消去電圧VEW、消去ベリファイ電圧VEVの中から選択される。

【0061】図1の構成において、読み出し、書き込みにおける基本的な回路動作は以下のようにされる。例えば、図1においてメモリマットMMRに含まれるメモリセルMCに対して、読み出しを行う場合には、選択メモリマット(MMR)側の信号RPCRを $1V+V_{th}$ にし、非選択メモリマット(MML)側の信号RPCLを $0.5V+V_{th}$ にすることにより、一括して選択メモリマット側ビット線を $1V$ にプリチャージし、非選択メモリマット側ビット線を $0.5V$ にプリチャージする。もちろん、選択メモリマットがMMLで、非選択メモリ

マットがMMRであれば、信号RPCRが $0.5V+V_{th}$ にされ、信号RPCLが $1V+V_{th}$ にされる。 V_{th} はMOSトランジスタM24R, M24Lの閾値電圧を示す。非選択メモリマット側のビット線のプリチャージレベルとされる上記 $0.5V$ は、上述のように、センスラッチ回路SLにおいてリファレンスレベルとして使われる。ワード線選択動作の後、トランスファMOSトランジスタM22L, M22Rがオン動作され、この時、センスラッチ回路SLは、ビット線G-BLRのレベルが $0.5V$ よりも高いか低いかをセンスして、メモリセルMCからの読み出しデータをラッチする。センスラッチ回路SLにラッチされたデータが4値の記憶情報に対してどの値であるかは、そのときの読み出しワード線選択レベルとの関係によって判定される。その判定処理の詳細は後述するが、前記スイッチ回路・演算回路アレイ30R, 30L, 31R, 31Lが用いられる。判定結果に応ずる2ビットのデータはセンスラッチ回路SLの左右2個のデータラッチ回路DLL, DLRにラッチされる。

【0062】また、書き込みでは、書き込み制御情報がセンスラッチ回路SLにラッチされた後、センスラッチ回路SLの電源SLPが書き込み阻止電圧たとえば $6V$ とされ、センスラッチ回路SLの入出力ノードが“1”にされている場合には、当該入出力ノード側の対応ビット線に書き込み阻止電圧 $6V$ が印加され、センスラッチ回路SLの入出力ノードが“0”にされている場合には当該入出力ノード側の対応ビット線は $0V$ を維持する。コントロールゲートの高電圧に対して、 $0V$ のドレイン電圧を有するメモリセルは、書き込みに必要な高電界が形成され、書き込みが行なわれる。このように、センスラッチ回路SLにラッチされる書き込み制御情報の論理値が、実際に書き込み電圧を印加するか否かを決定する。その論理値は、左右のデータラッチ回路DLL, DLRにラッチされるデータと、現在の書き込み動作が第1乃至第3の書き込み状態の何れに対する書き込み動作かということによって、決定される。その決定論理については後で説明する。

【0063】第1乃至第3の書き込みのために書き込み電圧を印加した直後のベリファイ動作は、書き込み対象セクタに対するオール判定動作によって行う。例えば、書き込み電圧を印加した後、選択メモリマットMMR側の信号PCRを例えば $1V+V_{th}$ に制御してビット線G-BLRを $1V$ にプリチャージすると共に、非選択メモリマットMML側では、MOSトランジスタM24Lのゲート電圧RPCLを $0.5V+V_{th}$ に制御してビット線G-BLLを $0.5V$ にプリチャージする。 V_{th} は、MOSトランジスタM21R, M21Lの閾値電圧を意味する。この状態で読み出し動作同様にベリファイ電圧VWV1, VWV2又はVWV3をワード線に与える。ワード線に印加したベリファイ電圧以下の閾値を有する

メモリセルがあれば、すなわち、所要の閾値電圧に到達していないメモリセルがあれば、ビット線はディスチャージされる。ペリファイ電圧によるビット線ディスチャージの有無の検出を実行した後、選択メモリマツト側の書き込み非選択ビット線を1Vにプリチャージする。すなわち、選択メモリマツト側の書き込み非選択のビット線のセンスラッチ回路SLの入出力ノードは論理値“1”にされている。このセンスラッチ回路SLの論理値

“1”のラッチデータでトランジスタM20Rをオン動作させPCRを例えば $1V + V_{th}$ に制御することによって、上記書き込み非選択ビット線を1Vにプリチャージすることができる（非選択プリチャージ処理によるマスク）。これにより、書き込み選択とされるメモリセルの全てが所要の閾値電圧状態になっていれば、選択メモリマツトのビット線は全てプリチャージ状態を採り、前記オール判定用のトランジスタM23L, M23Rがその状態を判定する。MOSトランジスタM23L, M23Rは、対応するビット線にゲートが接続され、そのソースが接地電位に結合される。図1に代表的に示された1個のセンスラッチ回路SLを中心としたビット線G-BLL, G-BLRに係る構成は実際には多数存在されている。センスラッチ回路SLを挟んで図1の左側のトランジスタM23Lのドレインは端子ECLに全て共通接続され、ビット線G-BLLに代表される左側のビット線の状態（レベル）に応じた電流が当該端子ECLに流される。同様に、センスラッチ回路SLを挟んで図1の右側のトランジスタM23Rのドレインも全て端子ECRに共通接続され、当該端子ECRには、ビット線G-BLRに代表される右側のビット線の状態（レベル）に応じた電流が流される。特に図示はしないが、端子ECL（ECR）の変化に基づいてセンスラッチ回路SLの左（右）側の全てのビット線G-BLL（G-BLR）の状態が同じ状態になったかを検出する電流センス型のアンプが設けられている。このアンプは、消去ペリファイ又は書き込みペリファイの対象とされる全てのメモリセルが所定の閾値電圧になったかを検出すること、即ちオール判定に用いられる。

【0064】ここで、書き込みと書き込みペリファイ時におけるセンスラッチ回路SLのラッチデータ（選択マツト側のデータ入出力ノードの値）とそれによる動作との関係をまとめて説明する。図41に示されるように、選択側メモリマツトをMMRとすると、書き込み動作はセンスラッチ回路SLのノードSLR=0によって選択とされ、SLR=1によって非選択とされる。書き込み非選択のビット線G-BLRには書き込み阻止電圧6Vが供給される。書き込み選択されたメモリセルの閾値電圧がペリファイ電圧よりも低い場合は、書き込みペリファイ動作において当該メモリセルのビット線はディスチャージされる（G-BLR=0）。書き込み完了されれば、当該ビット線はプリチャージレベルを維持する（G

-BLR=1）。書き込みペリファイにおけるオール判定動作では、書き込み非選択メモリセルのビット線を強制的にプリチャージする。即ち、センスラッチ回路SLの入出力ノードSLR=1にตอบสนองして、書き込み非選択のビット線G-BLRにはトランジスタM20R, M21Rを介してプリチャージを行う（非選択プリチャージによるマスク）。これにより、全ての書き込み対象メモリセルの閾値電圧がペリファイ電圧以上にされると、書き込み対象セクタの全てのビット線はプリチャージ状態を維持する。オール判定は、書き込み対象セクタの全てのビット線の論理値の論理和によって行なわれる。

【0065】以下、上記構成を有するフラッシュメモリ1の読み出し動作、書き込み動作、追加書き込み動作、及び消去動作について夫々詳述する。

【0066】《読み出し動作》図13には読み出し動作のフローチャートが示される。不揮発性メモリセルの各閾値電圧と読み出しワード線電圧VRW1~VRW3との関係は図14に例示されている。フラッシュメモリ1は読み出しコマンドを受け付けると、当該コマンドで指定されたセクタアドレスに対して、読み出しワード線電圧VRW1を用いた読み出し動作を行う（RS1）。読み出されたデータはセンスラッチ回路SLにラッチされ、ラッチされたデータはデータラッチ回路DLRに与えられる（RS2）。次に、前記と同じセクタアドレスに対して、読み出しワード線電圧VRW2を用いた読み出し動作が行なわれ、読み出されたデータはセンスラッチ回路SLにラッチされる（RS3）。ラッチされたデータは今度はデータラッチ回路DLLに与えられる（RS4）。更に、同じセクタアドレスに対して、読み出しワード線電圧VRW3を用いた読み出し動作が行なわれ（RS5）、読み出されたデータとデータラッチ回路DLRに既にラッチされているデータを用いて、当該メモリセルの閾値電圧状態が消去状態又は第1乃至第3の書き込み状態の何れの状態であるかを判定する演算が行われ（RS6）、演算結果がデータラッチ回路DLRに反映される（RS67）。これによって、当該メモリセルが記憶している4値情報が2個のデータラッチ回路DLR, DLLに保持される。

【0067】図26にはセンスラッチ回路、ビット線及びデータラッチ回路の状態に対応させて前記読み出し動作手順の詳細な一例を示してある。同図に示される内容は、動作選択メモリマツトを図1の右側のメモリマツトMMRとする。また、ステップ（Step）毎に示された信号若しくはノードに対応して表されている数字は、小数点付き数字が電圧を意味し、小数点無し数字が論理値（ハイレベルは“1”、ローレベルは“0”）を意味する。また、データラッチ回路DLR, DLLの欄には左右ノードの双方の値が示されている場合があり、括弧が付されていない数字が着目論理値とされる。また、図26においてSL（R）はセンスラッチ回路SLの入出

カノードSLRを意味し、SL(L)は入出力ノードSLLを意味する。

【0068】図26のStep1でVRW1読み出しを行えば、消去状態(“11”)のメモリセルとそれ以外の状態のメモリセルとを区別でき、当該1ビットの読み出しデータがデータラッチ回路DLRに転送される(Step2)。Step3でVRW2読み出しを行えば、消去状態(“11”)及び第1の書き込み状態(“10”)のメモリセルとそれ以外の状態のメモリセルとを区別でき、当該1ビットの読み出しデータがデータラッチ回路DLLに転送される(Step4)。図14より、データラッチ回路DLLにラッチされたデータは、2ビットの読み出しデータの上位ビットになることは明らかである。下位ビットの論理値はVRW3読み出しを行わなければ確定できない。そこで、Step5でVRW3読み出しを行い、第3の書き込み状態(“01”)のメモリセルとそれ以外の状態のメモリセルとを区別し、当該1ビットの読み出しデータをセンスラッチ回路SLにラッチしたまま、トランジスタM25R、M25Lを用いてビット線を“0”にクリアする(Step6)。そして、2ビットの読み出しデータの下位ビットの論理値を確定させる演算を行うために、データラッチ回路DLRのデータをビット線に転送し(Step7)、前記センスラッチ回路SLのラッチデータを用いてトランジスタM20Rをスイッチ制御することにより、論理値“1”をラッチしているセンスラッチ回路SLのビット線を論理値“0”にディスチャージする(Step8)。この処理は、上位ビットとVRW3読み出し結果とに対する排他的論理和とされる。これによって、2ビットの読み出しデータの下位ビットがビット線上で確定され、データラッチ回路DLRの入力ノードをM8R、M8Lでクリアしてから、ビット線GBLRのデータをトランジスタM28Rを介して前記データラッチ回路DLRに転送する(Step10)。データラッチ回路DLR、DLLにラッチされた2ビットの読み出しデータは外部端子I/O0～I/O7の内の所定の端子を介して外部に出力される。

【0069】《書き込み動作》図15には書き込み動作のフローチャートが示される。書き込み動作はワード線を一単位とする書き込み(セクタ書き込み)とされる。フラッシュメモリは書き込みコマンドを受け付けると、次の入力をセクタアドレスとして取り込み、セクタアドレス取り込みの後の入力を書き込みデータとして取り込む(WS1)。取り込まれるセクタアドレスは、Xアドレスであり、これによって、書き込み高電圧を印加する1本のワード線を選択することになる。書き込みデータの取り込みは、Yアドレスカウンタ12を初期値から漸次インクリメントしながらバイト単位で、データラッチ回路DLL、DLRに対して行われる。例えば、図6に示されるように、一つのセンスラッチ回路アレイSLAに

関する一対のメモリマットMML、MMRに割り当てられたデータラッチ回路アレイDLA、DLRAに、書き込みデータがラッチされる。例えば1本のワード線にn個のメモリセルのコントロールゲートが結合されているとすると、データラッチ回路アレイDLA、DLRAには、夫々nビットの書き込みデータがラッチされる。

【0070】書き込みデータをラッチした後、“01”書き込み処理TS1、“00”書き込み処理TS2、“10”書き込み処理TS3、及びエラーティク/ディスタurb検出処理TS4が行われる。図18の(A)～(C)には“01”書き込み処理TS1、“00”書き込み処理TS2、“10”書き込み処理TS3によって得られる閾値電圧分布とそのためのペリファイ電圧との関係の一例が示される。また、図18の(D)には、エラーティク/ディスタurb検出処理TS4における閾値電圧分布とペリファイ電圧との関係の一例が示される。

【0071】前記“01”書き込み処理は、4値の内の一つの状態である消去状態(“11”)に対して、メモリセルMCの閾値電圧を、第3の書き込み状態(“01”)にするための処理であり、書き込みペリファイ電圧としてVWV3を用いる。

【0072】前記“01”書き込み処理は、例えば図16に詳細が例示されるように、データラッチ処理WS10、“01”書き込み処理WS11、データラッチ処理WS12、及び書き込みペリファイ処理WS13を含む。前記データラッチ処理WS10は、データラッチ回路DLL、DLRに2ビットの“01”データがラッチされているとき、それに応答して書き込み電圧印加をイネーブルにする論理値の制御データをセンスラッチ回路SLにラッチさせる処理である。前記“01”書き込み処理WS11は、イネーブルレベルの論理値を有する制御データがラッチされたセンスラッチ回路SLに対応されるビット線のメモリセルに“01”データに應ずる書き込み電圧を印加する。前述の通り、書き込み選択メモリマット側のセンスラッチ回路SLの入出力ノードが論理値“0”にされている場合に、そのノードに接続するビット線のメモリセルに書き込み電圧が印加される。前記データラッチ処理WS12は“01”書き込みに対するペリファイ処理WS13による判定をデータラッチ回路DLL、DLRの2ビットの書き込みデータを基準に毎回行うための処理である。ペリファイ処理WS13は前述のオール判定によって行なわれる。

【0073】前記“00”書き込み処理TS2は、4値の内の一つの状態である消去状態(“11”)に対して、メモリセルMCの閾値電圧を、第2の書き込み状態(“00”)にするための処理であり、書き込みペリファイ電圧としてVWV2を用いる。この“00”書き込み処理TS2は、図16とほぼ同様であるが、データラッチ処理では、データラッチ回路DLL、DLRにラッ

チされた2ビットの“00”データに応答して書き込みイネーブルとする論理値の制御データをセンスラッチ回路SLにラッチさせ、書き込みベリファイ電圧としてVWV2を用いる点が相違される。

【0074】前記“10”書き込み処理TS3は、4値の内の一つの状態である消去状態(“11”)に対して、メモリセルMCの閾値電圧を、第1の書き込み状態(“10”)を得るための処理であり、書き込みベリファイ電圧としてVWV1を用いる。この“10”書き込み処理TS3は、図16とほぼ同様であるが、データラッチ処理では、データラッチ回路DLL, DLRにラッチされた2ビットの“10”データに応答して書き込みイネーブルとする論理値の制御データをセンスラッチ回路SLにラッチさせ、書き込みベリファイ電圧としてVWV1を用いる点が相違される。前記書き込みベリファイ電圧は、図18の例からも明らかなように、VWV3>VWV2>VWV1とされる。

【0075】前記エラティック/ディスタープ検出処理TS4は、図18(D)にも示される様に、消去状態のメモリセルの閾値電圧がVWDSを超えていないかを検出する“11”ワードディスタープ検出処理、そして“10”書き込み処理されたメモリセルトランジスタの閾値電圧がVWE1を超えていないかを検出する“10”エラティック検出処理、“00”書き込み処理されたメモリセルトランジスタの閾値電圧がVWE2を超えていないかを検出する“00”エラティック検出VWE2処理である。ワードディスタープとは、ワード線単位で書き込み高電圧が印加される性質上、書き込み非選択のメモリセルでもある程度の高電界にさらされて閾値電圧が不所望に高くされることであり、“11”ワードディスタープ検出処理はそれを検出する。エラティックとは、電子物性的な確率によって閾値電圧が不所望に高くなる状態であり、前記エラティック検出処理でそれを検出する。

【0076】前記エラティック/ディスタープ検出処理TS4までの一連の処理結果が正常であれば、ステータスレジスタ180にパスフラグがセットされ、一連の書き込み処理が終了される。前記エラティック/ディスタープ検出処理TS4による検出結果がフェイルである場合、フェイル回数が規定の回数に達しているかが判定され(WS2)、達していなければ、書き込みセクタを消去して(WS6)、再度“01”書き込みからやり直す。やり直し回数は図示を省略するカウンタ手段に保持されており、カウンタ手段の計数値によってフェイル回数が規定値に到達したかを判定する。エラー回数が規定値に到達した場合には、ステータスレジスタ180にフェイルフラグがセットされ、一連の書き込み処理が異常終了される。

【0077】図15から明らかなように、再消去を行って再び書き込みを繰り返すとき、書き込みセクタの書き

込みデータを再度外部から取り込むことを要しない。前記ステップWS1でデータラッチ回路DLL, DLRに一旦ラッチされた1セクタ分の書き込みデータは、前記処理TS1~TS4を行っても破壊されず、そのままデータラッチ回路DLL, DLRに残っているからである。

【0078】これは、センスラッチ回路SLに対する前述の書き込み制御情報のラッチ動作制御形態に依るものである。即ち、前記センスラッチ回路SLがラッチすべき書き込み制御情報は、データラッチ回路DLL, DLRが保持している書き込みデータビットを用いた演算を書込み動作毎に行なって生成し、それをセンスラッチ回路SLがラッチする。例えば、図7に例示されるように、データラッチ回路DLL, DLRにラッチされた書き込みデータが“01”であったとすると、図8に例示されるように“01”状態は第3の書き込み状態である。消去状態の後の3回に分けた書き込み動作が、図10の第2の態様(Case2)で行われる場合、第1回目に第1の書き込み状態を得るための書き込み動作時にデータラッチ回路DLL, DLRの書き込みデータ(“01”)を用いて演算された結果は論理値“1”、第2回目に第2の書き込み状態を得るための書き込み動作時にデータラッチ回路DLL, DLRの書き込みデータ(“01”)を用いて演算された結果は論理値“1”、第3回目に第3の書き込み状態を得るための書き込み動作時にデータラッチ回路DLL, DLRの書き込みデータ(“01”)を用いて演算された結果は論理値“0”とされる。そのような演算は、前記スイッチ回路・演算回路アレイ3L, 30R, 31L, 31Rを動作させて行なう。よって、その場合には、メモリセルトランジスタは、第3回目の書き込み時だけ、書き込み用の高電界がドレインとコントロールゲートの間に印加され、当該メモリセルには4値の内の第3の書き込み状態(“01”)が実現される。

【0079】このようにして、3回に分けて書き込み動作が行なわれたとき、最初にデータラッチ回路DLL, DLRにラッチされた書き込みデータは破壊されず、そのまま維持されている。データラッチ回路DLL, DLRにラッチされた2ビットの書き込みデータを、書き込み動作毎に演算に用いて毎回センスラッチ回路SLにセットするという、制御シーケンスを採用するからである。エラティック・ディスタープ検出処理においても同様に、データラッチ回路DLL, DLRにラッチされた2ビットの書き込みデータを用いて演算した結果を毎回センスラッチ回路SLにセットするという、制御シーケンスを採用するから、このときも、最初にデータラッチ回路DLL, DLRにラッチされた書き込みデータは破壊されず、そのまま維持されている。

【0080】データラッチ回路DLL, DLRにラッチされた2ビットの書き込みデータを用いた演算結果をセンスラッチ回路SLにラッチさせる処理(データラッチ処

理)は、TS1～TS4における現在の処理との関係でその演算法が相違される。

【0081】図21は上記データラッチ処理の演算内容の一例を論理的に示したものである。図21における演算内容は、動作選択メモリマツト側のセンスラッチデータ(動作選択メモリマツト側のセンスラッチ回路SLの入出力ノードデータ)に関するものである。この演算法は、ビット線プリチャージ電圧を0V、0.5V、1.0Vの3レベルとし、センスラッチ回路SLによる複数回のセンス動作で、目的のデータをセンスラッチ回路SLにラッチさせる動作である。

【0082】図21においてA、Bは1個のセンスラッチ回路SLに対応される2ビットの書き込みデータであり、Aはデータラッチ回路DLLにラッチされる上位データビット、Bはデータラッチ回路DLRにラッチされる下位データビットである。図21によれば、“01”書き込みデータラッチ処理の場合はデータビットAとBの反転データとの論理和、“00”書き込みデータラッチ処理の場合はデータビットAとBとの論理和、“10”書き込みデータラッチ処理の場合はデータビットAの反転データとBとの論理和であり、“00”エラーティク検出データラッチ処理の場合はデータビットAとBの負論理和、“10”エラーティク検出データラッチ処理の場合はデータビットAとBの反転データとの論理積、“11”エラーティク検出データラッチ処理の場合はデータビットAとBの論理積とされる。

【0083】図21の演算論理を採用した場合、データビットA、Bの論理値に対する演算結果の論理値は図22に示される通りである。前述のように、センスラッチデータの論理値“0”(ローレベル)が書き込み電界印加(書き込み選択)を意味する。

【0084】図27には前記“01”書き込み処理の更に詳細な動作フローチャートが示される。同図の表現形式は図26と同じである。先ず、データラッチ回路DLL、DLRに2ビットの書き込みデータがラッチされる(Step1)。ラッチされているデータが“01”、“00”、“10”、“11”の4通りの場合について図示されている。次に、書き込み選択メモリマツト側のビット線G-BLRにはデータラッチ回路DLRのデータを転送する。書き込み非選択メモリマツト側のビット線を全て0.5Vにプリチャージする(Step2)。前記データ転送は、M25Rによるビット線ディスチャージの後、M26R、M27Rによる選択的なプリチャージによって行なわれる。更に詳しく説明すれば、非選択メモリマツト側のビット線G-BLLがトランジスタM24Lを介して0.5Vにプリチャージされ(a)、また、データラッチ回路DLRのラッチデータに従ってM26R、M27Rを用いビット線G-BLRが0.0V又は1.0Vにプリチャージされる(b)。

【0085】Step3では、前記(a)、(b)の結

果に従って、センスラッチ回路SLを活性化してセンスラッチ動作させる。これによってセンスラッチ回路SLの左右の入出力ノードSL(L)、SL(R)は図の(c)、(d)の状態にされる。

05 【0086】Step4では、ビット線G-BLLの電圧は(c)の結果に従って(e)の電圧を採り、また、他方のビット線G-BLRは論理値“0”にクリアされる。

【0087】Step5では、データラッチ回路DLLの論理値“1”のラッチデータによってトランジスタM26Lをオン動作させ、トランジスタM27L、M26Lを介して、論理値“1”をラッチするデータラッチ回路DLLに対応されるビット線G-BLLを0Vにディスチャージする(g)。この時の電圧FPCは接地電圧にされている。また、センスラッチ回路SLの双方の入出力ノードSL(L)、SL(R)を、トランジスタM5L、M5Rを介して論理値“0”にクリアする(h)。

【0088】Step6では選択メモリマツト側のビット線G-BLRを0.5Vにプリチャージする(i)。そしてStep7で、トランジスタM22R、M22Lをオン動作させて、センスラッチ回路SLをセンス動作させると、センスラッチ回路SLの選択メモリマツト側の入出力ノードSL(R)は、データラッチ回路DLL、DLRに“01”がラッチされている場合にだけ、論理値“0”をラッチする(j)。

【0089】Step8では電源SLPは書き込み阻止電圧として利用される6.0Vにされる。センスラッチ回路SLにおいて動作選択メモリマツト側の入出力ノードSLRのラッチデータが論理値“1”である場合には6Vの電源SLPがトランジスタM22Rを介してビット線G-BLRに供給され、入出力ノードSLRのラッチデータが論理値“0”である場合には、当該入出力ノードSLRに接続されるビット線G-BLRのレベルは0Vを維持する。この0Vのビット線にドレインが接続されたメモリセルトランジスタにはドレインとコントロールゲートとの間に書き込み電圧が印加される。この時、書き込み阻止電圧6.0Vが印加されているビット線には書き込みに必要な高電界が発生しない。

40 【0090】書き込み電圧の印加後は、Step9に示されるように、動作選択メモリマツト側の全てのビット線G-BLRが1.0Vにプリチャージされ、動作非選択メモリマツト側の全てのビット線G-BLLが0.5Vにディスチャージされる。この時、センスラッチ回路SLには、書き込み時のデータラッチ処理でラッチされた論理値のデータが保持されている。図16に説明ではペリファイ処理WS13の前にもデータラッチ処理WS12が介在されているが、これは、書き込み電圧印加前のデータラッチ処理WS10とは別個に改めてデータラッチ処理を行うことを必ずしも意味するものではない。デ

ータラッチ処理WS12は書き込み電圧印加毎のデータラッチ処理WS10で置き換えることができる。図27の処理はそうになっている。

【0091】Step10では、ベリファイ電圧VWV3によってメモリセルの選択動作が行われ、メモリセルの閾値電圧がベリファイ電圧VWV3以上に達していない場合にはそのメモリセルのビット線G-BLRが0.0Vにディスチャージされる。その後、Step11では、動作選択メモリマツ側において、書き込み非選択メモリセルのビット線G-BLRが1.0Vにプリチャージされる。即ち、書き込み非選択メモリセルに対応されるセンスラッチ回路SLの入出力ノードは論理値“1”にされており、この論理値“1”をゲートに受けるトランジスタM20Rがオン動作され、動作電源FPCからビット線G-BLRに1.0Vが供給される。従って、書き込み対象メモリセルの閾値電圧が目標電圧に到達していれば、動作選択メモリマツの全てのビット線G-BLRは論理値“1”にされる。Step12では、センスラッチ回路SLの入出力ノードがクリアされた後、センスラッチ回路SLにビット線の状態をラッチさせ、前記オール判定が行われる。オール判定の後、ビット線G-BLR、G-BLL及びセンスラッチ回路SLの双方の入出力ノードが接地電位にクリアされる(Step13)。

【0092】前記“00”書き込み処理の詳細な一例は図28に示され、前記“10”書き込み処理の詳細な一例は図29に示されている。それら処理内容はデータラッチ処理の点で“01”書き込み処理と相違するだけであり、その相違点は図21の演算論理から容易に理解可能であるから、それらに対する詳細な説明は省略する。

【0093】前記“11”ワードディスターブ検出処理の一例は図30に示される。この処理はStep38～Step43の“11”ワードディスターブデータラッチ処理と、Step44～Step48の“11”ワードディスターブ検出処理とに大別される。“11”ワードディスターブデータラッチ処理は前述のデータラッチ処理と類似であり、図21で説明した演算論理を実現する具体的な処理である。また、“11”ワードディスターブ検出処理は図27で説明した“01”書き込みベリファイ処理と類似であり、ベリファイ電圧VWV3に代えてワードディスターブ検出電圧VWDSを用いる点などで相違されるだけであるから、その詳細な説明は省略する。

【0094】前記“10”エラティック検出処理の詳細は図31に例示され、“00”エラティック検出処理の詳細は図32に例示されている。それら夫々の処理は、エラティックデータラッチ処理と、エラティック検出処理に大別され、エラティックデータラッチ処理は前述のデータラッチ処理と類似であり、図21で説明した演算論理を実現する具体的な処理である。エラティック検出

処理は図27で説明した“01”書き込みベリファイ処理と類似であり、ベリファイ電圧VWV3に代えてエラティック検出電圧VWE1、VWE2を用いる点などで相違されるだけであるから、その詳細な説明は省略する。

【0095】《追加書き込み動作》図15には追加書き込み動作のフローチャートも併せて示されている。追加書き込み動作は前記“01”書き込み処理TS1に至るまでの処理が書き込み動作とは相違される。追加書き込み動作もワード線を一単位とするセクタ書き込みとされる。フラッシュメモリは追加書き込みコマンドを受け付けると、次の入力をセクタアドレスとして取り込み、セクタアドレス取り込みの後の入力を書き込みデータとしてデータラッチ回路DLL、DLRに取り込む(WS3)。取り込まれるセクタアドレスは、Xアドレスであり、これによって、書き込み高電圧を印加する1本のワード線を選択することになる。書き込みデータの取り込みは、Yアドレスカウンタ12を初期値から漸次インクリメントしながらバイト単位で、データラッチ回路DLL、DLRに対して行われる。例えば、図6に示されるように、一つのセンスラッチ回路アレイSLAに関する一対のメモリマツMML、MMRに割り当てられたデータラッチ回路アレイDLLA、DLRAに、書き込みデータがラッチされる。

【0096】書き込みデータをラッチした後、論理合成処理WS4及び消し戻し処理WS5が行なわれ、その後で前記“01”書き込み処理TS1乃至エラティック/ディスターブ検出処理TS4が行なわれる。

【0097】図23には追加書き込みの概念が示される。追加書き込みにおいて書き込み電圧を印加可能なメモリセルは消去状態のメモリセルとされる。図23にはメモリセルの記憶情報とデータラッチ回路DLL、DLRのラッチデータ(ビット線接続側入出力ノードの論理値)との様子が示されている。

【0098】図23の(A)に示されるように、書き込み状態のメモリセルに対しては書き込みを禁止とし、入力データを“11”に制限している。消去状態のメモリセル(データ“11”を格納している)に対してだけ書き込みを許容している。したがって、書き込み状態のメモリセルに対応するデータラッチ回路DLR、DLLにはデータ“11”が入力され、消去状態のメモリセルに対応するデータラッチ回路DLR、DLLには所望の書き込みデータ“01”、“00”、“10”、“11”が入力される。

【0099】前記論理合成処理では、図23の(B)に示されるように、データラッチ回路DLL、DLRに入力した追加書き込みデータとメモリセルから読み出したデータとに基づいて、書き込み状態の不揮発性メモリセルには同じ書き込み状態を、また、消去状態の不揮発性メモリセルには追加書き込みデータで指示される書き込み

状態を、プログラムするためのデータを論理合成処理し、論理合成処理によって得られたデータが前記データラッチ回路D L R, D L Lにラッチされる。そして、図23の(C)に例示されるように、データタッチ回路D L R, D L Lにラッチされたデータに基づき書き込み処理が行われる。

【0100】図17には前記論理合成処理の詳細なフローチャートが例示される。論理合成処理の最初は下位ビットの合成である。即ち、ワード線電圧V R W 3による読み出し(W S 2 0)を行ってセンスラッチ回路にラッチさせ、更にワード線電圧V R W 1による読み出し(W S 2 1)を行い、W S 2 0による読み出し結果とW S 2 1による読み出し結果とに対する演算1(排他的論理和若しくは排他的負論理和演算)を行って、書き込み状態のメモリセルから読み出した情報の下位ビットを判定する(W S 2 2)。そして、データラッチ回路に入力された書き込みデータと前記演算1で演算された結果とに対して演算2(論理和演算)を行い、論理合成された追加書き込みデータの下位ビットを決定する。その結果を、データラッチ回路D L Rに転送してラッチさせる(W S 2 4)。上位ビットの合成では、ワード線電圧V R W 2による読み出し(W S 2 5)を行ってセンスラッチ回路にラッチさせる。そして、データラッチ回路に入力されている書き込みデータと前記W S 2 5の読み出し結果とに対して演算3(排他的論理和若しくは排他的負論理和演算)を行い(W S 2 6)、論理合成された追加書き込みデータの上位ビットを決定する。その結果を、データラッチ回路D L Lに転送してラッチさせる(W S 2 7)。

【0101】図24には前記論理合成処理W S 4によって得られる下位ビット及び上位ビットの内容を論理式によって示してある。同図において、 \wedge は論理反転符号(それが付されたデータが論理反転されることを意味する符号)として用いている。図面上では○の中に+を付した記号を排他的論理和記号として用いており、明細書中では‘EXOR’を排他的論理和記号として用いる。記号 \cdot は論理積記号として用いている。下位ビットは $a 0 \cdot \wedge (b 1 \text{ ‘EXOR’ } b 3)$ 、上位ビットは $\wedge a 1 \text{ ‘EXOR’ } \wedge b 2$ によって得られる。 $a 0$ はデータラッチ回路D L Rにラッチされた追加書き込みデータの下位ビット、 $a 1$ はデータラッチ回路D L Lにラッチされた追加書き込みデータの上位ビット、 $b 1$ はV R W 1によってメモリセルから読み出したデータ、 $b 2$ はV R W 2によってメモリセルから読み出したデータ、 $b 3$ はV R W 3によってメモリセルから読み出したデータである。

【0102】図25には追加書き込み処理によって図24の結果を得るための動作を論理的に示してある。同図においてセンスラッチ回路S L、データラッチ回路D L L, D L Rの左右には夫々の入出力ノードの値が示されている。同図においてV R W 3読み出しによる読み出し結果はセンスラッチ回路S Lに保持され、V R W 1読み

出し結果はビット線G-B L Rに保持される。演算1ではセンスラッチ回路S Lのラッチデータ $b 3$ とビット線G-B L Rのデータに対して排他的論理和 $b 1 \text{ ‘EXOR’ } b 3$ が採られる。演算2では、追加書き込みデータの下位ビット $a 0$ と前記演算1の結果との論理和が取られ、これが、論理合成された追加書き込みデータの下位ビットとしてデータラッチ回路D L Rにラッチされる。論理和 $\wedge (a 0 + (b 1 \text{ ‘EXOR’ } b 3))$ は、式の変形を介することによって、 $a 0 \cdot \wedge (b 1 \text{ ‘EXOR’ } b 3)$ と等価である。次に、V R W 2読み出しによる読み出しデータ $\wedge b 2$ 、 $b 2$ はセンスラッチ回路S Lに保持され、データ $\wedge b 2$ はビット線G-B L Lに転送され、演算3にて追加書き込みデータ $\wedge a 1$ と排他的論理和が採られ、これが、論理合成された追加書き込みデータの上位ビットとしてデータラッチ回路D L Lにラッチされる。

【0103】図33及び図34には追加書き込み処理の更に詳細な動作フローチャートが示される。同図の表現形式は図26と同じである。尚、図25に記載のStepの番号は図33及び図34に記載のStep番号の処理対応される。

【0104】先ず、データラッチ回路D L L, D L Rに2ビットの書き込みデータがラッチされる(Step 1)。図にはメモリセルの記憶情報と追加書き込みデータとの7通り全ての組み合わせ(図23で説明した組み合わせ)について記載されている。この時の非選択メモリマツト側データラッチ回路D L Lの入力データは通常書き込みの場合とは論理値反転されている。これは、後の処理ステップ数を削減するためである。Step 2ではデータを読み出すために、動作選択メモリマツト側のビット線G-B L Rに1 V、動作非選択メモリマツト側のビット線G-B L Lにリファレンス用の0.5 Vをプリチャージする。Step 3では“01”データの閾値電圧と“00”データの閾値電圧との間の電圧V R W 3をワード線選択レベルとしてメモリセルのデータ読み出しを行う。“01”データ以外のデータの閾値電圧分布を有するメモリセルのビット線がディスチャージされる。その結果は、センスラッチ回路S Lでセンスされてラッチされる(Step 4)。

【0105】次に、Step 5でビット線G-B L R, G-B L Lをディスチャージした後、動作選択メモリマツト側のビット線G-B L Rに1 V、動作非選択メモリマツト側のビット線G-B L Lにリファレンス用の0.5 Vをプリチャージする。そして、Step 6では“10”データの閾値電圧と“11”データの閾値電圧との間の電圧V R W 1をワード線選択レベルとしてメモリセルのデータ読み出しを行う。“11”データの閾値電圧分布を有するメモリセルのビット線がディスチャージされる。その結果は、センスラッチ回路S Lでセンスされてラッチされる(Step 4)。そして、Step 7では、センスラッチ回路S Lの入出力ノードS L Rの値と

ビット線G-BLRの値との排他的論理が採られる。排他的論理は、センスラッチ回路SLの入出力ノードSLRの値が“1”のときにトランジスタM20Rがオン動作して、“1”のビット線G-BLRがFPCに向けて“0”にディスチャージされるか否かによって行なわれる。そのようなディスチャージは図33の(a)で生ずる。これにより、メモリセルから読み出したデータの下位ビットが決定され、これはStep8でセンスラッチ回路SLにラッチされる。

【0106】次に、Step9でビット線G-BLR, G-BLLがディスチャージされた後、Step10にて、論理合成された追加書き込みデータの下位ビットを生成する。即ち、センスラッチ回路SLにラッチされているデータと、動作選択側メモリマットのデータラッチ回路DLRのラッチデータとをビット線G-BLRに転送することで、前記メモリセルから読み出したデータの下位ビットと、データラッチ回路DLRに初期ロードされた追加書き込みデータの下位ビットとの論理和が得られる。この論理和結果は、論理合成処理された追加書き込みデータの下位ビットとされる。Step11でセンスラッチ回路SL及びデータラッチ回路DLRがクリアされた後、Step12で前記ビット線G-BLR上の論理合成処理された追加書き込みデータの下位ビットがデータラッチ回路DLRにラッチされ、次の動作のためにStep13でビット線G-BLRがクリアされる。クリアとは接地電圧若しくは“0”へのディスチャージである。

【0107】次の動作は上位ビットの合成処理である。先ず、Step14ではデータを読み出すために、動作選択メモリマット側のビット線G-BLRに1V、動作非選択メモリマット側のビット線G-BLLにリファレンス用の0.5Vをプリチャージする。Step15では“10”データの閾値電圧と“00”データの閾値電圧との間の電圧VRW2をワード線選択レベルとしてメモリセルのデータ読み出しを行う。“11”データと“10”データの閾値電圧分布を有するメモリセルのビット線がディスチャージされる。その結果は、Step16において、センスラッチ回路SLでセンスされラッチされる。

【0108】次に、Step17でビット線G-BLR, G-BLLをディスチャージした後、Step18で、センスラッチ回路SLの非選択メモリマット側入出力ノードSLRの値をビット線G-BLLに転送する。そして、Step19で、データラッチ回路DLRの値とビット線G-BLLの値との排他的論理が採られる。排他的論理は、データラッチ回路DLRの入出力ノードDLRの値が“1”のときにトランジスタM26Lがオン動作して、“1”のビット線G-BLLがFPCに向けて“0”にディスチャージされるか否かによって行なわれる。そのようなディスチャージは図34の(b)

で生ずる。これにより、ビット線G-BLLには、前記メモリセルから読み出したデータの上位ビットと、データラッチ回路DLRに初期ロードされた追加書き込みデータの上位ビットとの排他的論理和が得られる。この排他的論理和結果は、論理合成処理された追加書き込みデータの上位ビットとされる。Step20でセンスラッチ回路SL及びデータラッチ回路DLRがクリアされた後、Step21で前記ビット線G-BLL上の論理合成処理された追加書き込みデータの上位ビットがデータラッチ回路DLRにラッチされ、次の動作のためにStep22でビット線G-BLLがクリアされる。

【0109】論理合成処理された追加書き込みデータの上位及び下位ビットがデータラッチ回路DLR, DLRにラッチされた後、書き込み対象セクタに対する消し戻しが行なわれ(Step23)、その後で、当該データラッチ回路DLR, DLRにラッチされたデータを用いた書き込み処理が行われる。書き込み処理は図27のStep2に繋がる。前記消し戻しは、ワードディスタープによる影響(この例では閾値電圧の不希望上昇)を回避するために、書き込み対象セクタ内の全てのメモリセルの閾値電圧を下げるための消去動作の一種である。通常の消去動作は消去対象とされるメモリセルの全てが一定に閾値電圧以下になるまで、消去電圧の印加と消去ベリファイとを繰り返す処理であるが、消し戻し処理の場合には、消去電圧の印加処理を1回だけ行えば所期の目的を達することができる。消去電圧は通常の消去動作と同じでよい。図18の(E)には追加書き込み前の閾値電圧分布が示され、それに対して消し戻し処理を行った後の閾値電圧分布が図18の(F)に例示されている。

【0110】図36乃至図39には追加書き込みにおける論理合成処理の動作波形図の一例が示される。

【0111】《消去動作》図19には消去動作の一例が示される。特に制限されないが、消去動作もセクタを最小単位として行うことができる。フラッシュメモリは消去コマンドを受け付けると、次の入力をセクタアドレスとして取り込む。取り込まれるセクタアドレスは、Xアドレスであり、これによって、消去電圧を印加する1本のワード線を選択することになる。消去動作が指定されると、最初に消去ベリファイ動作(消去ベリファイ1)が行われる(ES1)。消去状態のセクタに対して消去が指定されたとき、無駄な動作を省いて消去時間を短縮できる。消去されていない場合には、消去対象セクタに消去電圧が印加され(ES2)、それに対して消去ベリファイ動作(消去ベリファイ2)が行われる(ES3)。消去電圧の印加処理は消去ベリファイがパスするまで(閾値電圧がVEV以下になるまで)繰り返される。消去ベリファイがパスしたときは、“11”エラーティク検出が行なわれる(ES4)。エラーティク検出がフェイルした場合、書き込みビットをセットし(ES

5)、書き込みベリファイ (ES7) がパスするまで選択書き込みを行い (ES6)、書き込みベリファイ (ES7) がパスした後は、更に当該書き込みに対する“11”エラティック検出を行う (ES8)。“11”エラティック検出がフェイルしたときは、“11”エラティック検出回数が規定回数になるまで、消去動作を最初からやり直す。

【0112】図20の(A)には書き込み状態に対する消去ベリファイ処理のベリファイ電圧VEVと消去動作による閾値電圧分布が示されている。

【0113】前記エラティック検出 (ES4) によって過消去が検出されたとき、ES5～ES7の処理はその過消去状態を修正するデブリート防止処理とされる。デブリート防止処理による閾値電圧分布の変化の一例が図20の(B)に示されている。ES8で示されるエラティック検出はES6の書き込みによるワード線ディスタープによる閾値電圧の不希望な上昇を検出するものであり、ディスタープによる閾値電圧異常を検出したときは、消去電圧の印加からやり直す。

【0114】図35には消去処理の更に詳細な動作フローチャートが示される。同図の表現形式は図26と同じである。同図において「11」は消去電圧印加によって閾値電圧がVEV以下にされるメモリセルを想定しており、また、「11下」は閾値電圧がVWV0以下にされるメモリセル、即ち、デブリート防止のための書き戻し処理の対象とされるメモリセルを想定している。

【0115】前記消去ベリファイ1においては、まず、動作選択メモリマツト側のビット線G-BLRに1V、動作非選択メモリマツト側のビット線G-BLLにリファレンス用の0.5Vをプリチャージする (Step1)。そしてベリファイ電圧VEVを例えば2.0Vとして動作選択メモリマツト側のメモリセルを選択する。選択されたメモリセルが消去状態でなければ、動作選択メモリマツト側のビット線はディスチャージされない (Step2)。この状態をセンスラッチ回路SLでセンスし、オール判定を行う (Step3)。図の例は、消去されていない場合を示してある。オール判定の後、ビット線G-BLR、G-BLL及びセンスラッチ回路SLをクリアする (Step4)。前記消去ベリファイ1の判定結果が消去未完であれば、消去対象セクタのメモリセルに消去電圧を印加する (Step5)。

【0116】消去ベリファイ2では、まず、動作選択メモリマツト側のビット線G-BLRに1V、動作非選択メモリマツト側のビット線G-BLLにリファレンス用の0.5Vをプリチャージする (Step6)。そしてベリファイ電圧VEVを例えば2.0Vとして動作選択メモリマツト側のメモリセルを選択する。選択されたメモリセルが消去状態であれば、動作選択メモリマツト側のビット線はディスチャージされる (Step7)。この状態をセンスラッチ回路SLでセンスし、オール判定を

行う (Step8)。図の例は、消去状態にされた場合を示してある。オール判定の後、ビット線G-BLR、G-BLL及びセンスラッチ回路SLをクリアする (Step9)。

05 【0117】次に、“11”エラティック検出が行なわれる。まず、動作選択メモリマツト側のビット線G-BLRに1V、動作非選択メモリマツト側のビット線G-BLLにリファレンス用の0.5Vをプリチャージする (Step10)。そしてエラティック検出電圧VWV0を例えば1.2Vとして動作選択メモリマツト側のメモリセルを選択する。選択されたメモリセルが過消去状態であれば、そのビット線はディスチャージされる (Step11)。この状態をセンスラッチ回路SLでセンスし、オール判定を行う (Step12)。

10 【0118】図の例は、(a)の部分でディスチャージが行なわれているから、Step12のオール判定結果はフェイルである。その場合にはデブリート防止のための書き込み処理が行われる。この書き込み処理における書き込み電圧印加の可否は、Step12でセンスラッチ回路SLにラッチされた値によって決定される。即ち、Step12のセンスラッチ動作は図19の前記書き込みビットセット処理 (ES5) の一例として位置付けられる。Step13では、センスラッチ回路SLの動作選択メモリマツト側の入出力ノードSLRが論理値“1”のビット線に書き込み阻止電圧 (6.0V) が与えられて、選択書き込みが行なわれる (Step13)。

15 3) 次の、ベリファイのために、動作選択メモリマツト側のビット線G-BLRに1V、動作非選択メモリマツト側のビット線G-BLLにリファレンス用の0.5Vをプリチャージする (Step14)。そして書き込みベリファイ電圧VWV0を例えば1.2Vとして動作選択メモリマツト側のメモリセルを選択する。選択されたメモリセルが過書き込み状態であれば、そのビット線はディスチャージされる (Step15)。この状態をセンスラッチ回路SLでセンスし、オール判定を行う (Step16)。

【0119】最後に、“11”ワードディスタープによる“11”エラティック検出を行うために、動作選択メモリマツト側のビット線G-BLRに1V、動作非選択メモリマツト側のビット線G-BLLにリファレンス用の0.5Vをプリチャージする (Step17)。そしてディスタープ検出電圧VWDSを例えば2.3Vとして動作選択メモリマツト側のメモリセルを選択する。選択されたメモリセルの閾値電圧がディスタープ検出電圧VWDS以下であれば、そのビット線はディスチャージされる (Step18)。この状態をセンスラッチ回路SLでセンスし、オール判定を行う (Step19)。

40 Step19の例は、ディスタープの影響を受けていない場合であり、図19の前記“11”エラティック検出ES8がパスした状態に相当する。最後にStep20

でセンスラッチ回路SL及びビット線G-BLL, G-BLRがクリアされる。

【0120】図12には以上説明したフラッシュメモリの動作態様毎の各種電圧条件がまとめて図示されている。図12において、“11”データの読み出しワード線電圧は2.4V、“10”データの読み出しワード線電圧は3.2V、“00”データの読み出しワード線電圧は4.0Vである。“10”データ書き込みワード線電圧は15.1V、“00”データ書き込みワード線電圧は15.8V、“01”データ書き込みワード線電圧は17.0Vである。“10”データベリファイワード線電圧は2.8V、“00”データベリファイワード線電圧は3.6V、“01”データベリファイワード線電圧は4.5Vである。“11”ワードディスタ urb検出電圧は2.3V、“10”エラティック検出電圧は3.1V、“00”エラティック検出電圧は3.9Vである。

【0121】《フラッシュメモリーカード》図40には前記フラッシュメモリ1を用いたファイルメモリシステムの一例ブロック図が示されている。190で示されるものは、特に制限されないが、PCカード化されたフラッシュメモリカードであり、ATA(AT Attachment)カードの一種とされる。このフラッシュメモリカード190は特に制限されないがIDE(Integrated Device Electronics)に準拠した標準バス191を介してパーソナルコンピュータ等のコンピュータ199にコネクタ190Aを介して着脱自在に装着可能にされる。

【0122】フラッシュメモリカード190は、バスインタフェース部192、ライトバッファ193、ECC回路194、マイクロコンピュータ195、フラッシュメモリ1及び管理テーブルメモリ197を有し、それらは内部バス198に共通接続されている。

【0123】前記バスインタフェース部192はATAカード等の仕様に準拠するように標準バス191との間でのインタフェース制御を行う。ライトバッファ193は標準バス191から供給される書き込みデータを一時的に蓄えるデータバッファであ、フラッシュメモリ1にはライトバッファ193に蓄えられたデータが書き込まれる。前記ECC回路194はフラッシュメモリ1に格納されたデータの精度を向上させるためのエラー検出及び修正機能を有する回路である。前記管理テーブルメモリ197は例えばフラッシュメモリやEEPROMのような電氣的に書き換え可能な半導体メモリによって構成され、セクタ管理テーブルなどが形成されている。前記マイクロコンピュータ195はフラッシュメモリカード190に対するアクセス要求に従ってカード内部を全体的に制御し、例えばフラッシュメモリ1に対する動作の指示や前記コマンドを発行してフラッシュメモリ1をアクセス制御したり管理テーブルメモリ197を制御する。

【0124】以上説明したフラッシュメモリ、メモリカ

ード、データ処理システムによれば、以下の作用効果を得ることができる。

【0125】〔1〕外部から与えられる書き込みデータをデータラッチ回路DLL, DLRにラッチし、ラッチした書き込みデータが多値のどの閾値に対応するかは複数段階の書き込み動作毎に判定してその判定結果である書き込み情報をセンスラッチ回路SLにラッチさせ、センスラッチSLにラッチされた書き込み情報に従って、多値の閾値電圧をメモリセルに設定するための書き込み動作を段階的に行なう。よって、書き込み動作が終了しても、データラッチ回路DLL, DLRには、当初外部から供給された書き込みデータが残っている。したがって、前記ワードディスタ urb検出若しくはエラティック検出の結果により、メモリセルMCに対する多値情報の書き込み動作を再度行なう場合にも書き込みデータを再度外部から受け取ることを要しない。

【0126】〔2〕フラッシュメモリ1は、追加書き込みデータの入力WS3、メモリセルから読み出したデータと追加書き込みデータとの論理合成処理WS4、消し戻しWS5、及び書き込みTS1~TS4、を経て追加書き込みを行なう。論理合成処理WS4は、データラッチ回路DLR, DLLに入力した追加書き込みデータとメモリセルMCから読み出したデータとに基づいて、書き込み状態の不揮発性メモリセルには同じ書き込み状態を、また、消去状態の不揮発性メモリセルには追加書き込みデータで指示される書き込み状態を、プログラムするためのデータを生成し、生成されたデータを前記データラッチ回路DLR, DLLにラッチさせる。したがって、追加書き込み動作が終了しても、データラッチ回路DLR, DLLには、論理合成処理されたデータが残る。書き込み動作の完了まで論理合成処理の結果データをデータラッチ回路DLR, DLLに保持すれば、そのラッチデータを、書き込み異常に対して再利用可能にでき、追加書き込み動作を再度行なう場合に書き込みデータを再び外部から受け取ることを要しない。したがって、フラッシュメモリ1をアクセス制御するプロセッサ等は、フラッシュメモリに対する書き込み動作の後、しばらくの間、書き込みデータをワークメモリなどに保持しておかなくてもよく、フラッシュメモリ1のメモリアクセス若しくはメモリアクセスを伴うデータ処理効率を向上させることができる。

【0127】〔3〕前記論理合成処理によって得られたデータをデータラッチ回路DLR, DLLにラッチした後、データラッチ回路DLR, DLLにラッチされた論理合成処理結果のデータに従って不揮発性メモリセルに書き込みを行なう前に、当該書き込み動作の対象とされる不揮発性メモリセルに対して予め消去動作(消し戻し、弱い消去)を行なうことにより、追加書き込みであっても、追加書き込み直前のメモリセルの状態は概ね消去状態に揃えられるから、書き換え耐性の範囲で追加書き込みの

回数制限を撤廃でき、追加書き込みされたデータの信頼性を向上させることができる。

【0128】〔4〕書き込み電圧印加による閾値電圧状態が目的閾値電圧状態に到達したか否かの判定を書込み電圧の印加処理毎に毎回前記データラッチ回路DLL, DLRにラッチされているデータを用いて判定するから(WS12, WS13)、書き込みの初期の段階などで書き込みベリファイ動作によって所期の閾値電圧に達したことが誤って判定されても、その不良を確認して再書き込み可能になる。

【0129】〔5〕書き込み後にエラティック・ディスタ urb検出を実行することにより、書き込みによる閾値電圧分布の異常を検出することができる。

【0130】〔6〕不揮発性メモリセルに多値で情報記憶を行なう場合、前記エラティック・ディスタ urb検出において、過書き込み状態としてフェイルする確率の高いワードディスタ urb検出を先に行なうことにより、フェイルする場合にフェールの状態を検出するまでの処理時間を短縮できる。

【0131】〔7〕消去後、デブリート防止のために過消去状態のメモリセルに対して書き戻しを行うことにより、消去状態のメモリセルの閾値電圧を一定電圧以上に揃えることができる。さらに、前記デブリート防止のための書き戻しを行なった後、ディスタ urb検出を行うことにより、閾値電圧の異常を検出することができる。これらにより、消去状態のメモリセルの閾値電圧分布を均一化できる。

【0132】〔8〕消去前に消去ベリファイを行ない、フェイルしたセクタに対してだけ消去を行なうことにより、消去動作の無駄な時間を省くことができる。

【0133】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0134】例えば、1個のメモリセルが保有する情報は4値に限定されず、それ以上であってもよい。例えば8値とする場合、ビット線に接続されるデータラッチ回路の数を更に増やせばよい。また、データラッチ処理の演算法は上記の説明に限定されず、適宜変更可能である。また、メモリマツトの数、書き込み電圧条件、消去電圧条件、ベリファイ電圧条件なども適宜変更可能である。また、消去状態と書き込み状態は上述の説明とは逆に定義することも可能である。フラッシュメモリのメモリマツトはAND型に限定されず、NOR型、DiNO R型、NAND型等の別の構造とすることも可能である。

【0135】また、本発明に係る半導体装置はフラッシュメモリのようなメモリチップに限定されず、フラッシュメモリ内蔵マイクロコンピュータなどのデータ処理用若しくは論理動作の半導体装置にも広く適用すること

ができる。また、本発明はEEPROMにも適用可能である。

【0136】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0137】すなわち、個々のメモリセルに多値の情報を書き込むため外部からデータラッチ回路に供給された書き込みデータが書き込み動作によっても失われることはない。したがって、書き込み動作が終了しても、データラッチ回路には、当初外部から供給された書き込みデータが残っているから、ワードディスタ urb検出若しくはエラティック検出の結果により、メモリセルに対する多値情報の書き込み動作を再度行なう場合にも書き込みデータを再度外部から受け取ることを要しない。

【0138】また、メモリセルに対する多値情報の書き込み動作を再度行なう場合に書き込みデータを再度外部から受け取ることを要しない。

【0139】メモリセルから読み出したデータと追加書き込みデータとの論理合成を行い、その論理合成結果をデータラッチ回路にラッチして追加書き込みを行うから、追加書き込み動作が終了しても、データラッチ回路には、論理合成処理されたデータが残る。

【0140】追加書き込みを完了するまで前記論理合成結果をデータラッチ回路に保持することにより、エラティック書き込み異常に対して再書き込みする場合に書き込みデータを再び外部から受け取ることを要しない。この点でも、半導体装置のメモリアクセス若しくはメモリアクセスを伴うデータ処理効率を向上させることができ

る。

【0141】追加書き込みのための書き込み電圧印加前に、消し戻し(弱い消去)を行なうことにより書換え耐性の範囲で追加書き込みの回数制限を撤廃できる。

【0142】書き込みベリファイ動作において毎回、データラッチ回路の初期データを用いて判定することにより、書き込みの初期の段階などで書き込みベリファイ動作によって所期の閾値電圧に達したことが誤って判定されても、その不良を確認して再書き込み可能になる。

【0143】書き込み後にエラティック・ディスタ urb検出を実行することにより、閾値電圧分布の異常を検出できる。不揮発性メモリセルに多値で情報記憶を行なう場合、前記エラティック・ディスタ urb検出において、過書き込み状態としてフェイルする確率の高いワードディスタ urb検出を先に行なうことにより、フェイルする場合にフェールの状態を検出するまでの処理時間を短縮できる。

【0144】消去後、デブリート防止のために過消去状態のメモリセルに対して書き戻しを行なって、消去状態のメモリセル閾値電圧を一定電圧以上に揃えることができ

【0145】前記デブリート防止のための書き戻しを行なった後、ディスタ urb 検出を行なって閾値電圧の異常を検出することができる。

【0146】消去前に消去ベリファイを行ない、フェイルしたセクタに対して消去を行なうことにより、消去動作の無駄な時間を省くことができる。

【図面の簡単な説明】

【図1】本発明の一例に係る4値フラッシュメモリのビット線周りの回路構成を例示する回路図である。

【図2】本発明の一例に係る4値フラッシュメモリの全体的な構成を例示するブロック図である。

【図3】フラッシュメモリ用のメモリセルトランジスタのデバイス構造の概略を例示する縦断面図である。

【図4】フラッシュメモリのコマンドの一例を示す説明図である。

【図5】ステータスレジスタの各ビット内容と入出力端子I/00~I/07との対応の一例を示す説明図である。

【図6】4値フラッシュメモリのメモリアレイに含まれるデータラッチ回路、ビット線及びセンスラッチ回路の接続関係の一例を示す説明図である。

【図7】データラッチ回路と入出力端子I/04、I/00との対応関係の一例を示す説明図である。

【図8】4値のデータとメモリセルトランジスタの閾値電圧との関係を閾値電圧分布図で示す説明図である。

【図9】セクタ一括消去と書き込みの電圧条件の一例を示す説明図である。

【図10】4値書き込み処理における種々の書き込み態様を例示的に示す説明図である。

【図11】図1の4値フラッシュメモリの構成をレイアウト的な観点から示したブロック図である。

【図12】フラッシュメモリの動作態様毎の各種電圧条件を纏めて示した説明図である。

【図13】4値フラッシュメモリの読み出し動作の一例を示すフローチャートである。

【図14】フラッシュメモリセルトランジスタの閾値電圧分布に対する読み出しワード線電圧の関係を示した説明図である。

【図15】4値フラッシュメモリの書き込み動作及び追加書き込み動作の一例を示すフローチャートである。

【図16】書き込み動作に含まれる“01”書き込み処理の詳細な一例を示すフローチャートである。

【図17】追加書き込み動作に含まれる論理合成処理の詳細な一例を示すフローチャートである。

【図18】“00”書き込み、“10”書き込み、“01”書き込み、エラティックディスタ urb 検出、追加書き込み前、並びに消し戻しの夫々の状態をフラッシュメモリセルトランジスタの閾値電圧分布で示した説明図である。

【図19】消去動作の一例を示すフローチャートである。

【図20】消去動作のうける消去電圧印加及びデブリート防止処理の夫々をフラッシュメモリセルトランジスタの閾値電圧分布で示した説明図である。

【図21】書き込み動作等に含まれるデータラッチ処理の演算内容の一例を論理的に示した説明図である。

【図22】図21の演算論理を採用した場合データビットA、Bの論理値に対する演算結果の論理値を示す説明図である。

【図23】追加書き込みの概念を示した説明図である。

【図24】追加書き込み動作に含まれる論理合成処理によって得られる下位ビット及び上位ビットの書き込みデータの内容を論理式によって示した説明図である。

【図25】追加書き込み処理によって図24の結果を得るための動作を論理的に示した説明図である。

【図26】フラッシュメモリの読み出し動作を詳細に示した説明図である。

【図27】“01”書き込み動作を詳細に示した説明図である。

【図28】“00”書き込み動作を詳細に示した説明図である。

【図29】“10”書き込み動作を詳細に示した説明図である。

【図30】“11”ワードディスタ urb 検出処理を詳細に示した説明図である。

【図31】“10”エラティック検出処理を詳細に示した説明図である。

【図32】“00”エラティック検出処理を詳細に示した説明図である。

【図33】追加書き込みの下位ビット合成処理を詳細に示した説明図である。

【図34】追加書き込みの上位ビット合成処理を詳細に示した説明図である。

【図35】消去動作の詳細を示した説明図である。

【図36】追加書き込みの論理合成処理の一部を動作波形によって示したタイミング図である。

【図37】追加書き込みの論理合成処理の一部を図36に続く動作波形によって示したタイミング図である。

【図38】追加書き込みの論理合成処理の一部を図37に続く動作波形によって示したタイミング図である。

【図39】追加書き込みの論理合成処理の一部を図38に続く動作波形によって示したタイミング図である。

【図40】4値フラッシュメモリを用いたファイルメモリシステムのブロック図である。

【図41】書き込みと書き込みベリファイ時におけるセンスラッチ回路のラッチデータとそれによる動作との関係をまとめて示した説明図である。

【符号の説明】

1 フラッシュメモリ

3 メモリアレイ

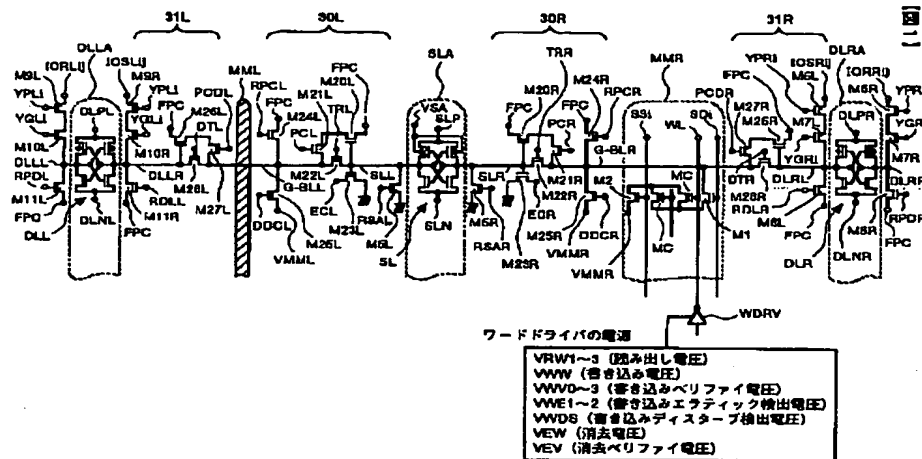
50 16 データ制御回路

18 モード制御回路
I/O0~I/O7 入出力端子
DLL, DLR データラッチ回路
DLLA, DLRA データラッチ回路アレイ
MML, MMR メモリマツト
SL センスラッチ回路
SLA センスラッチ回路アレイ

30L, 30R スイッチ回路・演算回路アレイ
31L, 31R スイッチ回路・演算回路アレイ
MC メモリセル
G-BLL, G-BLR ビット線
05 190 フラッシュメモリカード
190A コネクタ
195 マイクロコンピュータ

【図1】

【図7】



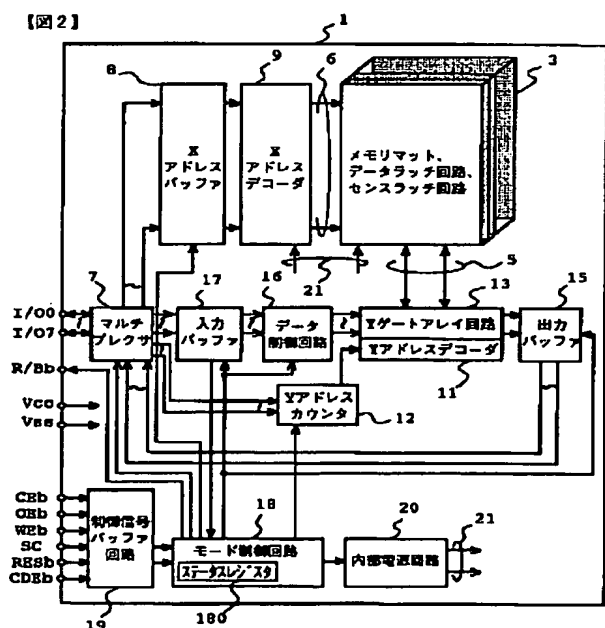
【図7】

書き込みデータ	4	0	DLL	DLR
01	0	1	0	1
00	0	0	0	0
10	1	0	1	0
11	1	1	1	1

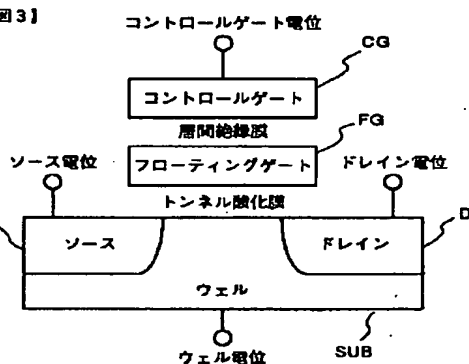
入力書き込みデータ

【図2】

【図3】



【図3】



【図4】

【図4】

動作モード	コマンド
読み出し	00H
書き込み	1FH
追加書き込み	10H
消去	20H

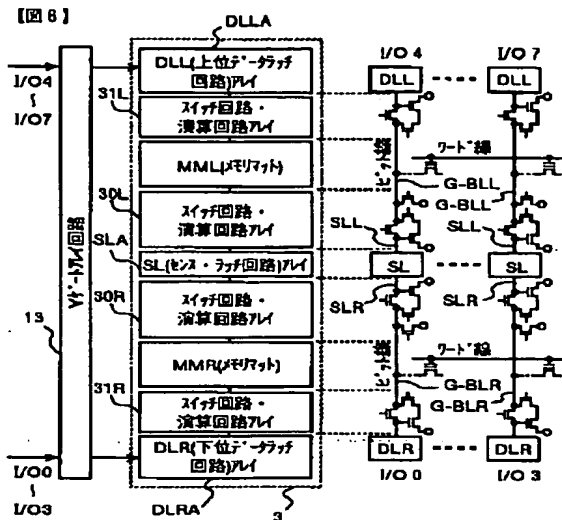
【図5】

【図5】

	名称	定義
I/O7	Ready/Busy	"VOH"=Ready "VOL"=Busy
I/O6	Reserved	
I/O5	Erase Check	"VOH"=Fail "VOL"=Pass
I/O4	Program Check	"VOH"=Fail "VOL"=Pass
I/O3	Reserved	
I/O2	Reserved	
I/O1	Reserved	
I/O0	Reserved	

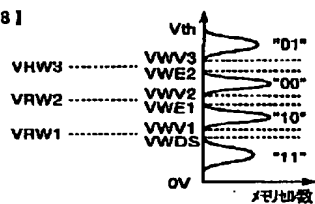
ステータスレジスタ

【図6】



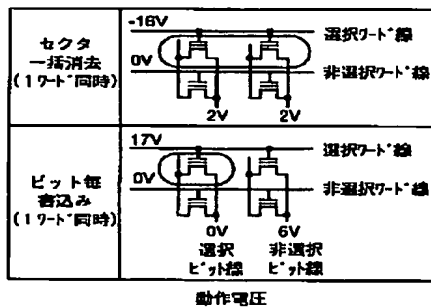
【図8】

【図8】



【図9】

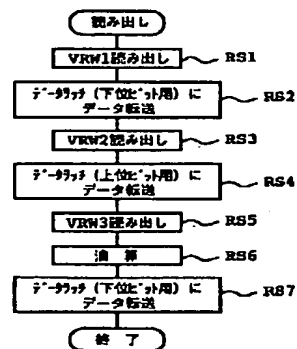
【図9】



動作電圧

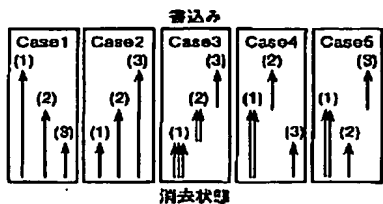
【図13】

【図13】

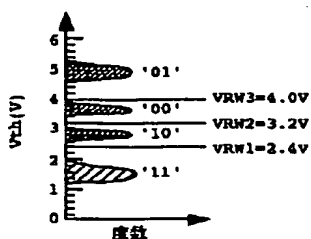


【図10】

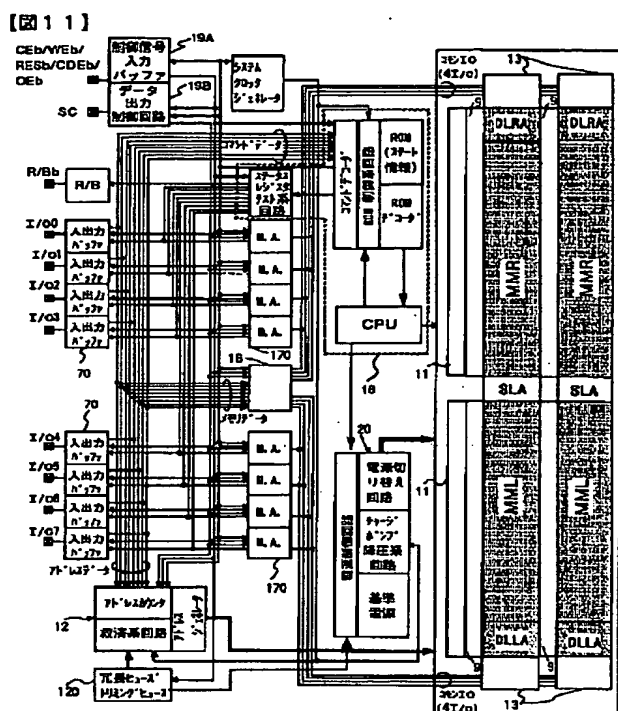
【図10】



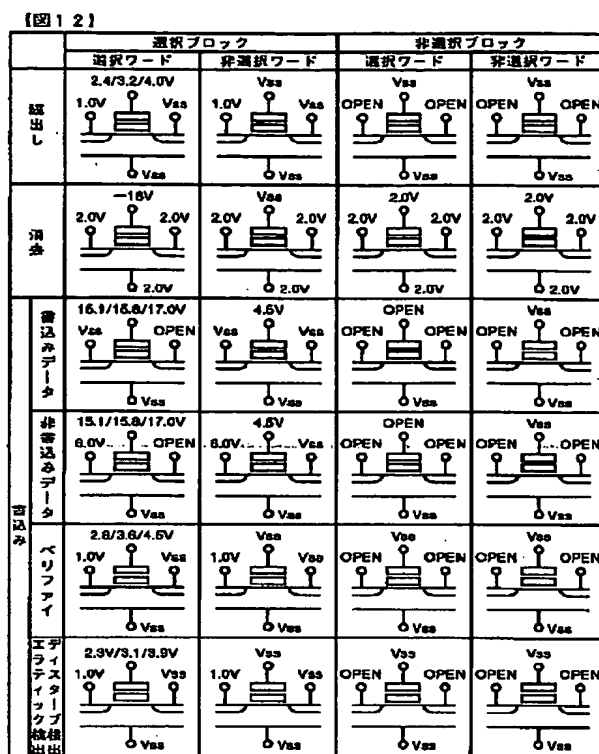
【図14】



【図11】

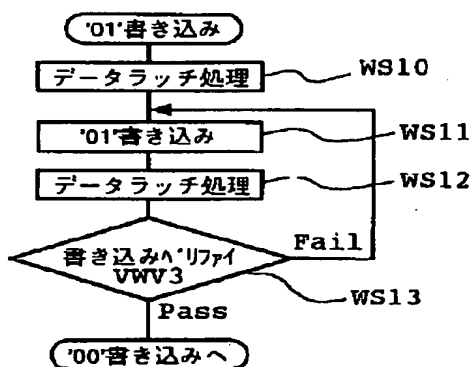


【図12】



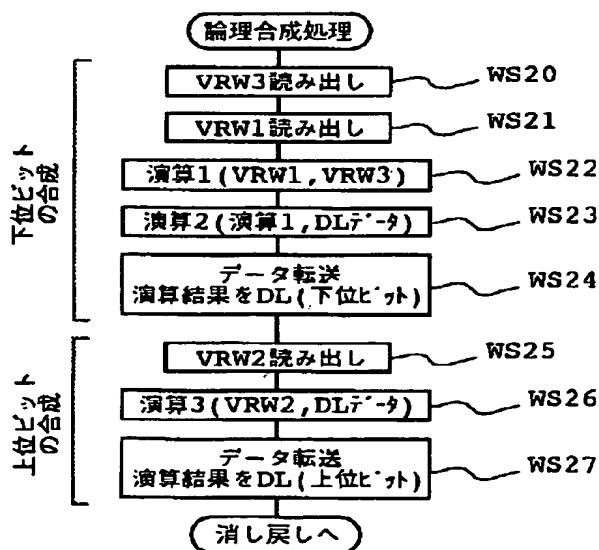
【図16】

【図16】



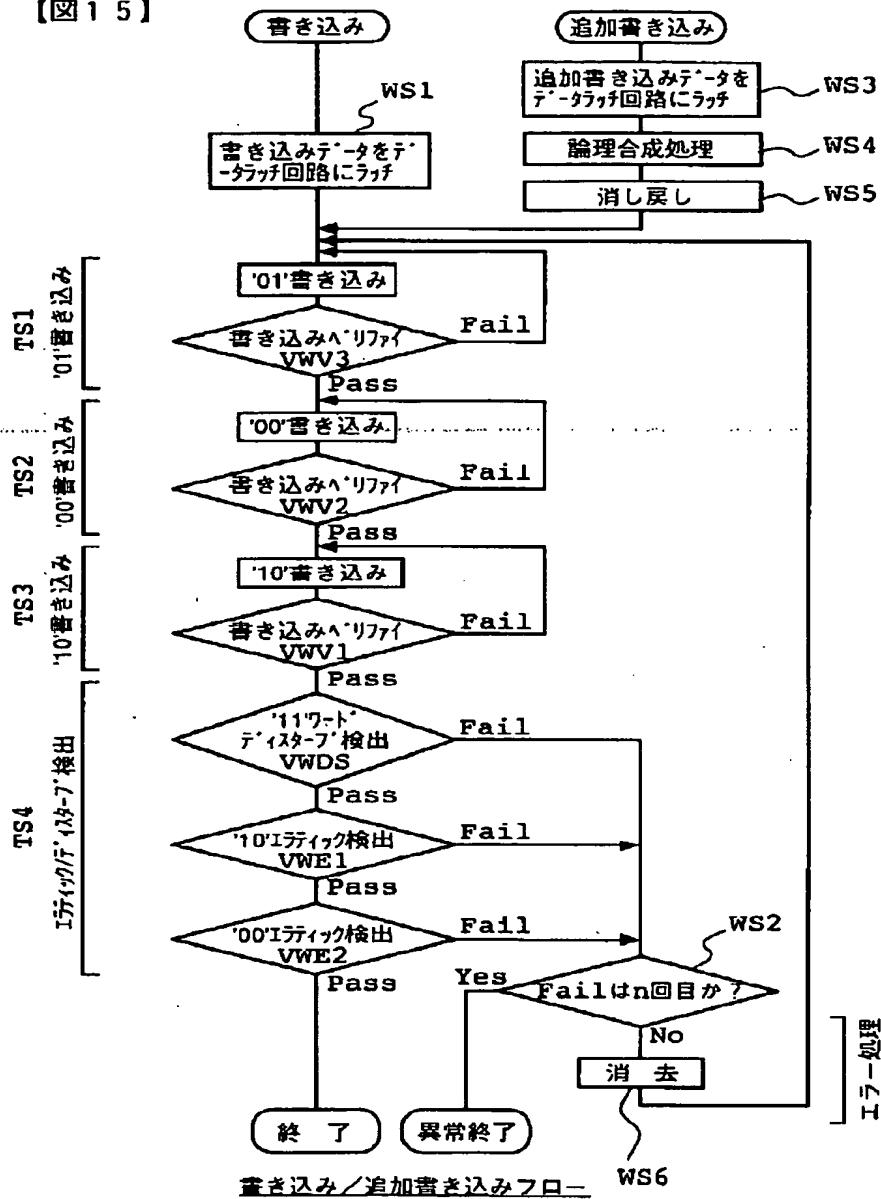
【図17】

【図17】



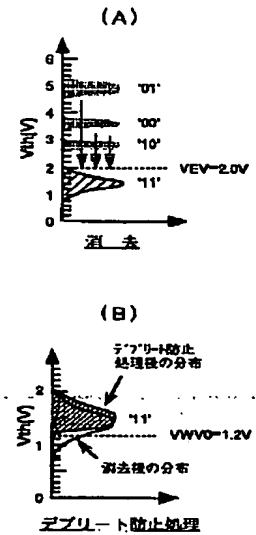
【図15】

【図15】



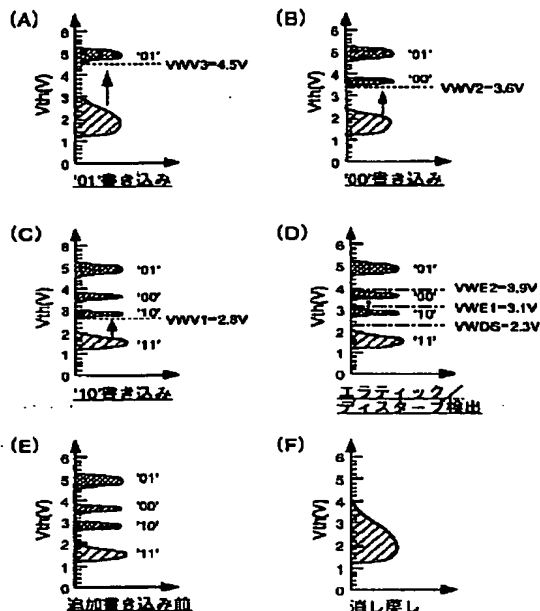
【図20】

【図20】



【図18】

【図18】



【図22】

【図22】

A 上位	B 下位	A+B	A+B	A+B	A+B	A·B	A·B
0	1	0	1	1	0	0	0
0	0	1	0	1	1	0	0
1	0	1	1	0	0	1	0
1	1	1	1	1	0	0	1

【図21】

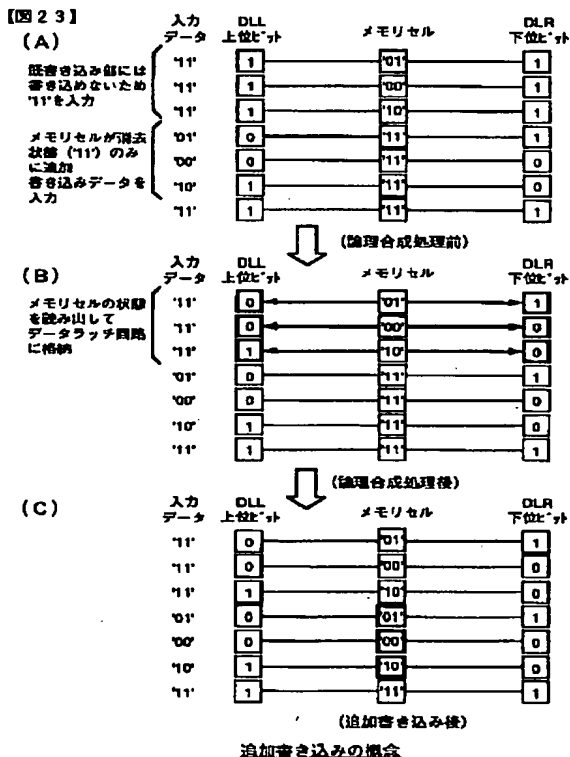
【図21】

データラッチ処理	演算内容 (選択マトリクスラッチデータ)
"01" 書き込みデータ	$A + \bar{B}$
"00" 書き込みデータ	$A + B$
"10" 書き込みデータ	$\bar{A} + B$
"00" エラティック検出データ	$\bar{A} + \bar{B}$
"10" エラティック検出データ	$A \cdot \bar{B}$
"11" ディスタープ検出データ	$A \cdot B$

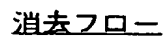
A: 上位データ、B: 下位データ

【図23】

【図23】



【圖 19】



【図24】

【図24】

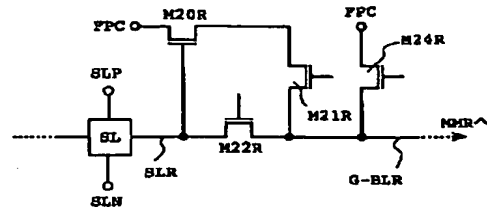
下位ビット: $a0 \cdot (b1 \oplus b3)$

上位ビット: $a1 \oplus b2$

$\left\{ \begin{array}{l} a0: \text{追加書き込みデータ (下位ビット)} \\ a1: \text{追加書き込みデータ (上位ビット)} \\ b1: \text{メモリ読み出しデータ (VRW1 (2.4V) 読み出し)} \\ b2: \text{メモリ読み出しデータ (VRW2 (3.2V) 読み出し)} \\ b3: \text{メモリ読み出しデータ (VRW3 (4.0V) 読み出し)} \\ \oplus: \text{排他的論理和} \end{array} \right\}$

メモリセルの状態	追加書き込みデータ	a1	a0	b1	b2	b3
01	11	1	1	1	1	1
00	11	1	1	1	1	0
10	11	1	1	1	0	0
11	01	0	1	0	0	0
11	00	0	0	0	0	0
11	10	1	0	0	0	0
11	11	1	1	0	0	0

【図41】

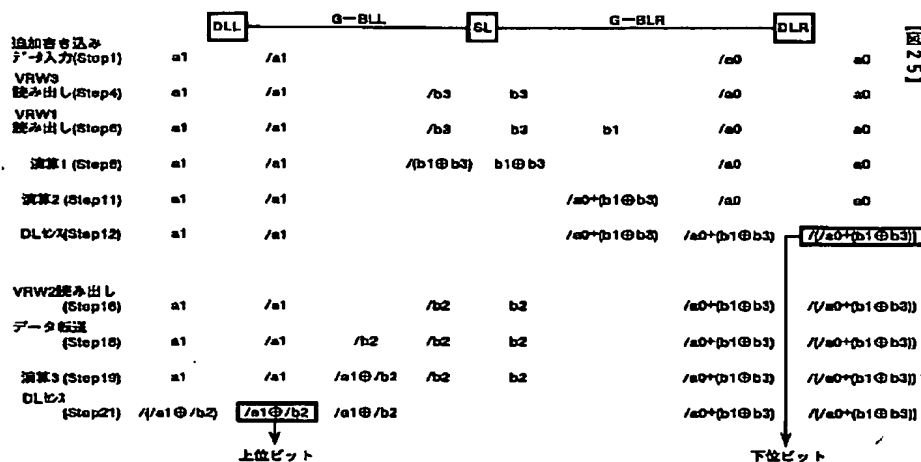


書き込み { $SLR=0$: 選択 $\rightarrow G-BLR=0V$
 $SLR=1$: 非選択 $\rightarrow G-BLR=6V$ (SLNからM22R経由でプリチャージ)

書き込みヘリファイ { 書き込み完了: $G-BLR=1$
 書き込み未完: $G-BLR=0$ (MC 経由でデイスタージ)

非選択プリチャージ { $SLR=0$: 非選択
 $SLR=1$: 選択 $\rightarrow G-BLR=1$ (M20R, M21R 経由でプリチャージ)

【図25】



【図26】

読み出しシーケンス												
Step	VRW1読み出し						VRW2読み出し					
	Step 1			Step 2			Step 3			Step 4		
内容	VRW1読み出し			SL(R)→DLR7'→ 転送			VRW2読み出し			SL(L)→OLL5'→ 転送		
	DL	G-BLL	SL	SL	SL	DLR	DL	G-BLL	SL	SL	SL	DLR
01	0	0	1	0	0	0	0	0	1	1	1	1
00	0	0	1	0	0	0	0	0	1	1	1	1
10	0	0	1	0	0	0	0	0	1	1	1	1
11	1	0	0	0	0	0	1	0	0	1	0	0

読み出しシーケンス												
Step	VRW3読み出し						VRW4読み出し					
	Step 5			Step 6			Step 7			Step 8		
内容	VRW3読み出し			G-BLL/R7'→ 転送			DLR→G-BLR7'→ 転送			DLR7'→DLR 転送 (DLR7)		
	DL	G-BLL	SL	SL	SL	DLR	DL	G-BLL	SL	SL	SL	DLR
01	0	0	1	1	1	0	0	0	1	1	1	0
00	0	0	1	1	1	0	0	0	1	1	1	0
10	0	0	1	1	1	0	0	0	1	1	1	0
11	1	0	0	0	0	0	1	0	0	1	0	0

【図26】

【図27】

書き込みシーケンス												
(1) V1書き込み												
Step	データ入力						V1書き込みデータラッチ					
	Step 1			Step 2			Step 3			Step 4		
内容	P'→入力			P'→転送DLR→ G-BLR			SL(R)→ 転送			G-BLL/R7'→ P'→転送SL(R)→ G-BLL		
	DL	G-BLL	SL	SL	SL	DLR	DL	G-BLL	SL	SL	SL	DLR
01	0	0	1	0	0	0	0	0	1	1	1	1
00	0	0	1	0	0	0	0	0	1	1	1	1
10	0	0	1	0	0	0	0	0	1	1	1	1
11	1	0	0	0	0	0	1	0	0	1	0	0

書き込みシーケンス												
(2) V1書き込みベリファイ												
Step	Step 0						Step 1					
内容	G-BLL/R7'→ G-BLL/R7'→ 転送			P'→ 転送			P'→ 転送			P'→ 転送		
	DL	G-BLL	SL	SL	SL	DLR	DL	G-BLL	SL	SL	SL	DLR
01	0	0	1	0	0	0	0	0	1	1	1	1
00	0	0	1	0	0	0	0	0	1	1	1	1
10	0	0	1	0	0	0	0	0	1	1	1	1
11	1	0	0	0	0	0	1	0	0	1	0	0

【図27】

【図28】

(2) '00'書き込み		'00'書き込みデータラッチ																			
Step	内容	Step 1 4					Step 1 5					Step 1 6					Step 1 7				
		データ伝送DLR→G-BLR G-BLR7"リフレッシュ"					SLRxA					G-BLR/R7"リフレッシュ" G-BLR/R7"リフレッシュ"					消去(G-BLR, SLR1)				
		DL	G-BLR	SLR1	SLR2	SLR3	DL	G-BLR	SLR1	SLR2	SLR3	DL	G-BLR	SLR1	SLR2	SLR3	DL	G-BLR	SLR1	SLR2	SLR3
01	(1)0	0.0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0
05	(1)0	0.0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0
10	(0)1	0.0	0.0	0.0	0.0	0.0	(0)1	0.0	0.0	0.0	0.0	(0)1	0.0	0.0	0.0	0.0	(0)1	0.0	0.0	0.0	0.0
11	(0)1	0.0	0.0	0.0	0.0	0.0	(0)1	0.0	0.0	0.0	0.0	(0)1	0.0	0.0	0.0	0.0	(0)1	0.0	0.0	0.0	0.0

(2) '00'書き込み		'00'書き込みペリフェイ																			
Step	内容	Step 2 0					Step 2 1					Step 2 2					Step 2 3				
		書き込み					G-BLR/R7"リフレッシュ" G-BLR7"リフレッシュ"					データ伝送DLR→G-BLR データ伝送DLR→G-BLR					非選択G-BLR7"リフレッシュ" 非選択G-BLR7"リフレッシュ"				
		DL	G-BLR	SLR1	SLR2	SLR3	DL	G-BLR	SLR1	SLR2	SLR3	DL	G-BLR	SLR1	SLR2	SLR3	DL	G-BLR	SLR1	SLR2	SLR3
(1)0	0.0	0.0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0
(1)0	0.0	0.0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0
(1)0	0.0	0.0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0
(0)1	0.0	0.0	0.0	0.0	0.0	0.0	(0)1	0.0	0.0	0.0	0.0	(0)1	0.0	0.0	0.0	0.0	(0)1	0.0	0.0	0.0	0.0

ALL判定: FailならStep20へ

【図29】

(3) '10'書き込み		'10'書き込みデータラッチ																			
Step	内容	Step 2 6					Step 2 7					Step 2 8					Step 2 9				
		データ伝送DLR→G-BLR G-BLR7"リフレッシュ"					SLRxA					G-BLR/R7"リフレッシュ" データ伝送DLR→G-BLR					消去(G-BLR, SLR1)				
		DL	G-BLR	SLR1	SLR2	SLR3	DL	G-BLR	SLR1	SLR2	SLR3	DL	G-BLR	SLR1	SLR2	SLR3	DL	G-BLR	SLR1	SLR2	SLR3
01	(1)0	0.0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0
05	(1)0	0.0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0
10	(0)1	0.0	0.0	0.0	0.0	0.0	(0)1	0.0	0.0	0.0	0.0	(0)1	0.0	0.0	0.0	0.0	(0)1	0.0	0.0	0.0	0.0
11	(0)1	0.0	0.0	0.0	0.0	0.0	(0)1	0.0	0.0	0.0	0.0	(0)1	0.0	0.0	0.0	0.0	(0)1	0.0	0.0	0.0	0.0

(3) '10'書き込み		'10'書き込みペリフェイ																			
Step	内容	Step 3 2					Step 3 3					Step 3 4					Step 3 5				
		書き込み					G-BLR/R7"リフレッシュ" G-BLR7"リフレッシュ"					データ伝送DLR→G-BLR データ伝送DLR→G-BLR					非選択G-BLR 7"リフレッシュ"				
		DL	G-BLR	SLR1	SLR2	SLR3	DL	G-BLR	SLR1	SLR2	SLR3	DL	G-BLR	SLR1	SLR2	SLR3	DL	G-BLR	SLR1	SLR2	SLR3
(1)0	0.0	0.0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0
(1)0	0.0	0.0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0
(1)0	0.0	0.0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0	(1)0	0.0	0.0	0.0	0.0
(0)1	0.0	0.0	0.0	0.0	0.0	0.0	(0)1	0.0	0.0	0.0	0.0	(0)1	0.0	0.0	0.0	0.0	(0)1	0.0	0.0	0.0	0.0

ALL判定: FailならStep32へ

【図32】

00エラーティップ検出

Step

Step 60

Step 61

Step 62

Step 63

Step 64

Step 65

データラッチDLR→G-BLR

SLR12

G-BLR/RP' (RP'→Y)

演算(DLL, G-BLR)

SLR17

G-BLR/RP' (RP'→Y)

SLR12

G-BLR/RP' (RP'→Y)

G-BLR/RP' (RP'→Y)

G-BLR/RP' (RP'→Y)

G-BLR/RP' (RP'→Y)

G-BLR/RP' (RP'→Y)

G-BLR/RP' (RP'→Y)

DLR

G-BLR

SLR12

SLR13

SLR14

SLR15

G-BLR

DLR

DLR

G-BLR

SLR12

SLR13

SLR14

SLR15

G-BLR

DLR

DLR

G-BLR

SLR12

SLR13

SLR14

SLR15

G-BLR

DLR

DLR

G-BLR

SLR12

SLR13

SLR14

SLR15

G-BLR

DLR

01

00

0.0

0.0

0.0

0.0

0.0

0.0

001

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

00

00

0.0

0.0

0.0

0.0

0.0

0.0

001

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

10

00

0.0

0.0

0.0

0.0

0.0

0.0

001

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

11

00

0.0

0.0

0.0

0.0

0.0

0.0

001

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

00エラーティップ検出

Step

Step 66

Step 67

Step 68

Step 69

Step 70

G-BLR/RP' (RP'→Y)

G-BLR/RP' (RP'→Y)

G-BLR/RP' (RP'→Y)

G-BLR/RP' (RP'→Y)

G-BLR/RP' (RP'→Y)

G-BLR/RP' (RP'→Y)

G-BLR/RP' (RP'→Y)

G-BLR/RP' (RP'→Y)

G-BLR/RP' (RP'→Y)

G-BLR/RP' (RP'→Y)

DLR

G-BLR

SLR12

SLR13

SLR14

SLR15

G-BLR

DLR

DLR

G-BLR

SLR12

SLR13

SLR14

SLR15

G-BLR

DLR

DLR

G-BLR

SLR12

SLR13

SLR14

SLR15

G-BLR

DLR

00

0

0

0

0

0

0.0

0.0

001

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

01

0

0

0

0

0

0.0

0.0

001

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

10

0

0

0

0

0

0.0

0.0

001

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

11

0

0

0

0

0

0.0

0.0

001

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

0.0

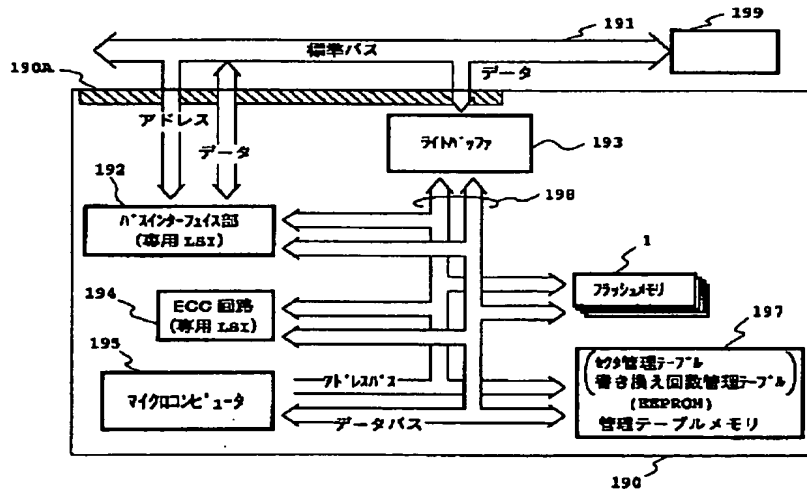
0.0

0.0

ALL判定: Failなら調査へ

【図32】

【図40】



【図40】

【例33】

3. 追加書き込み

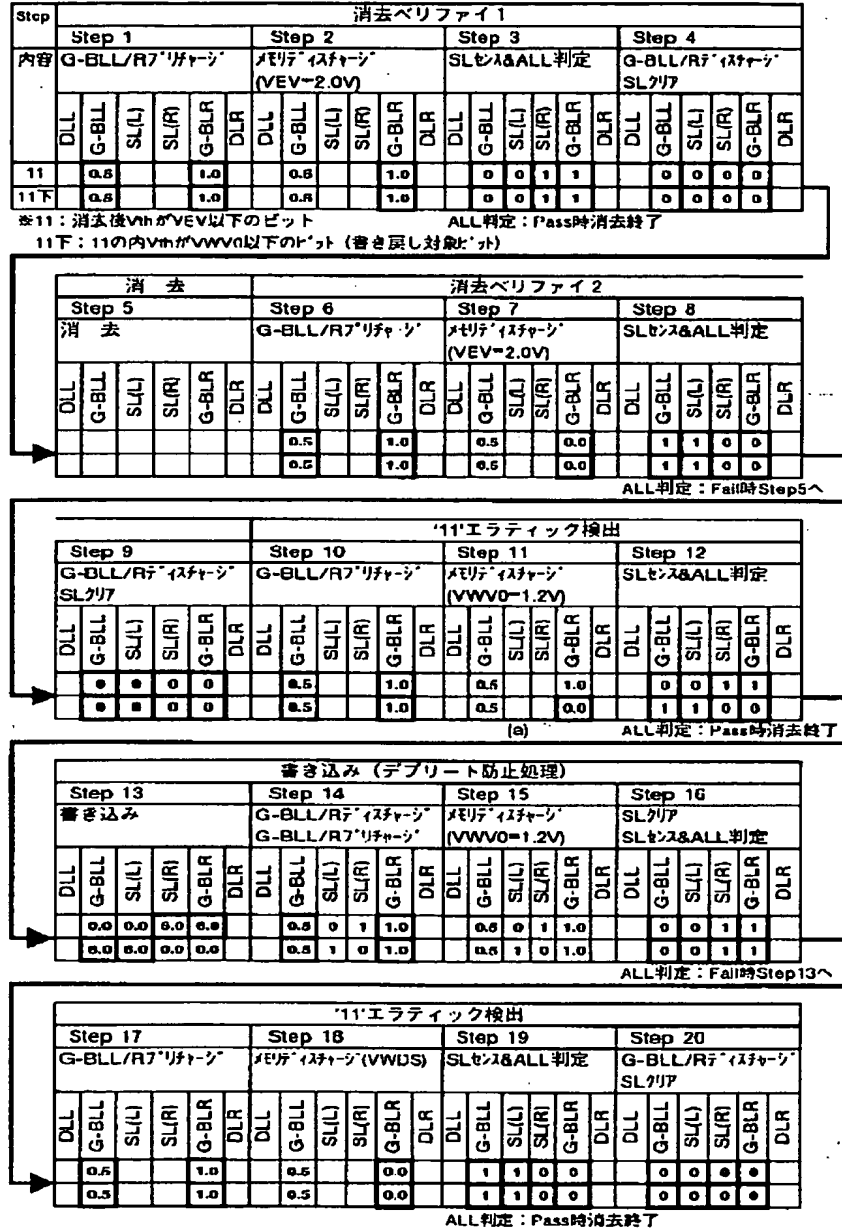
【图34】

2004 02 16 16:18

【図35】

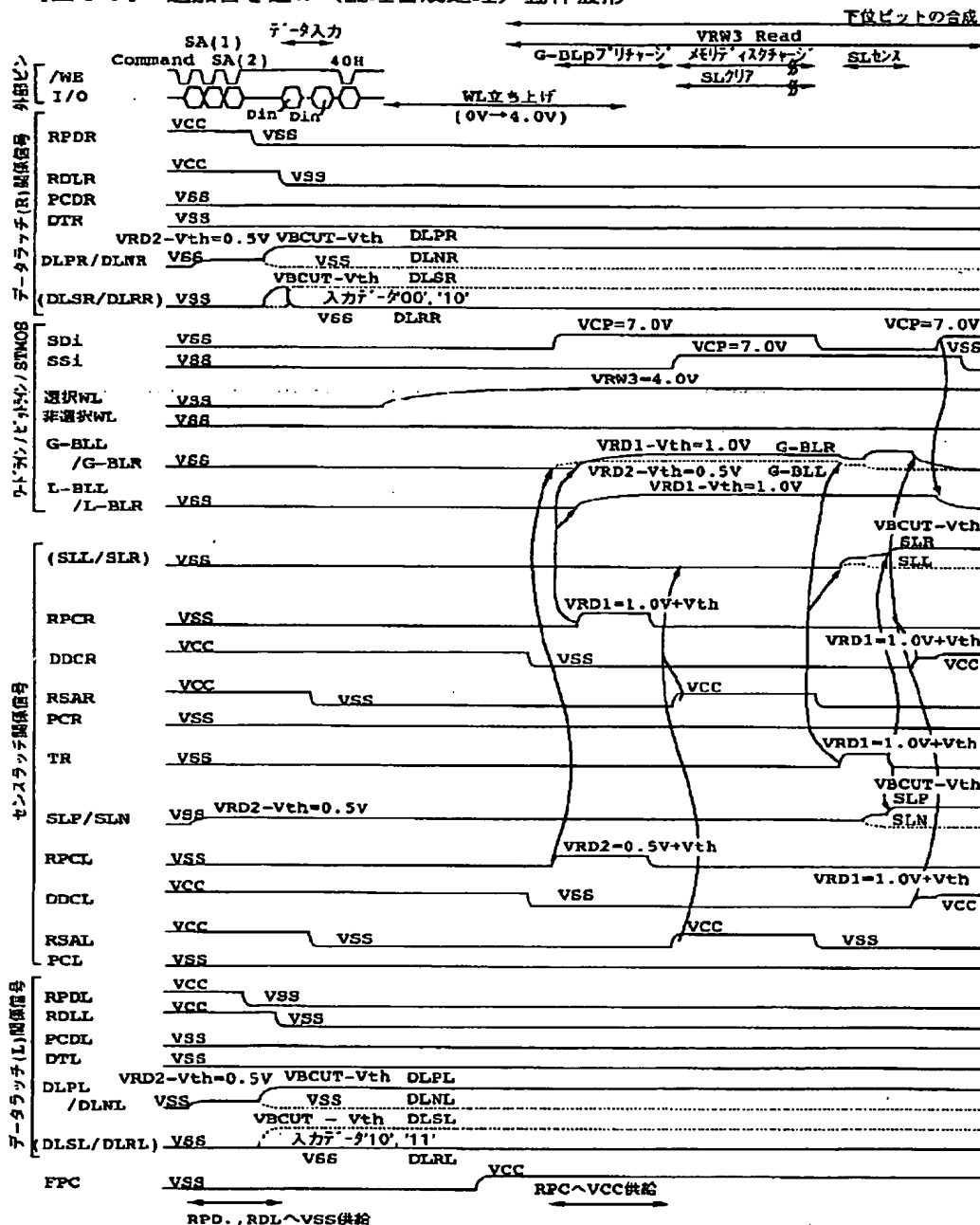
【図35】

2. 消去シーケンス



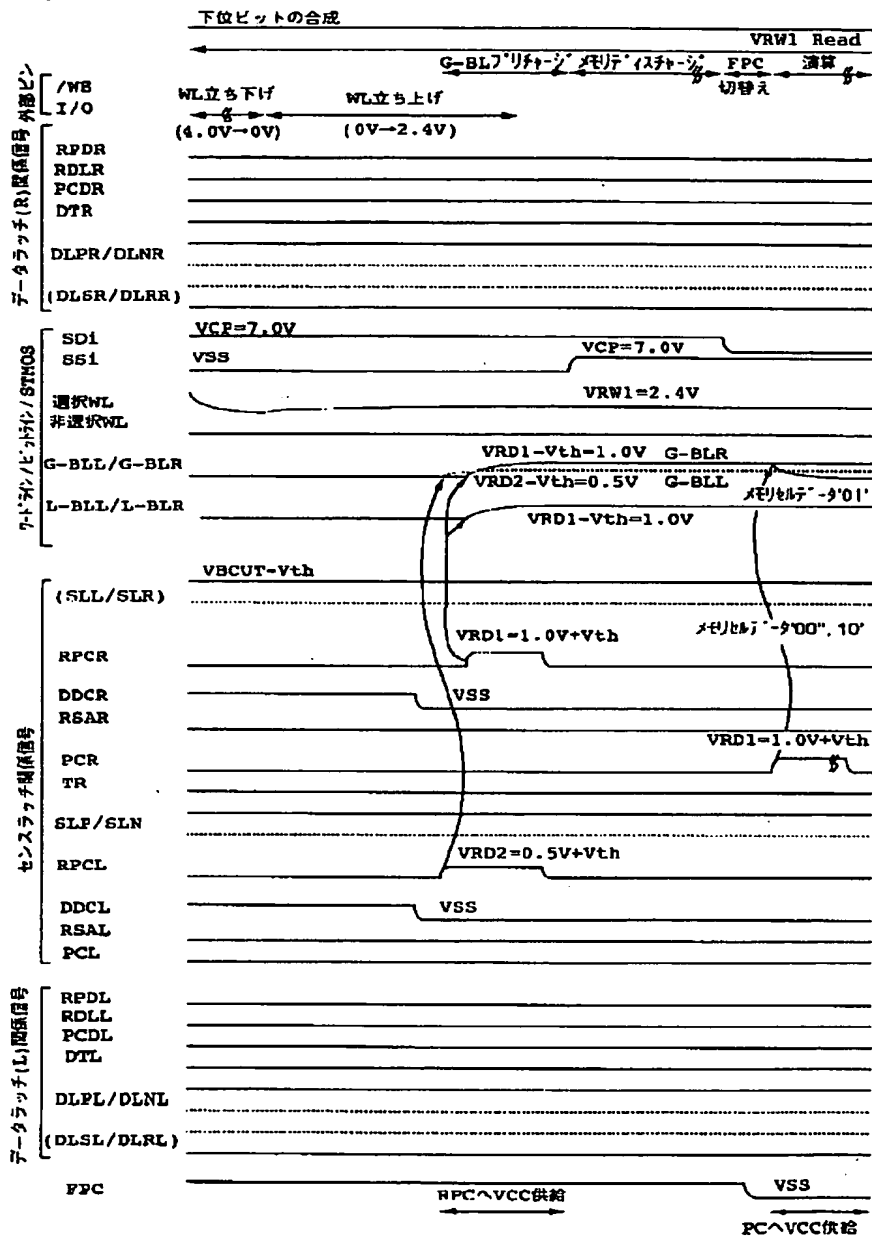
【図36】

【図36】 追加書き込み（論理合成処理）動作波形



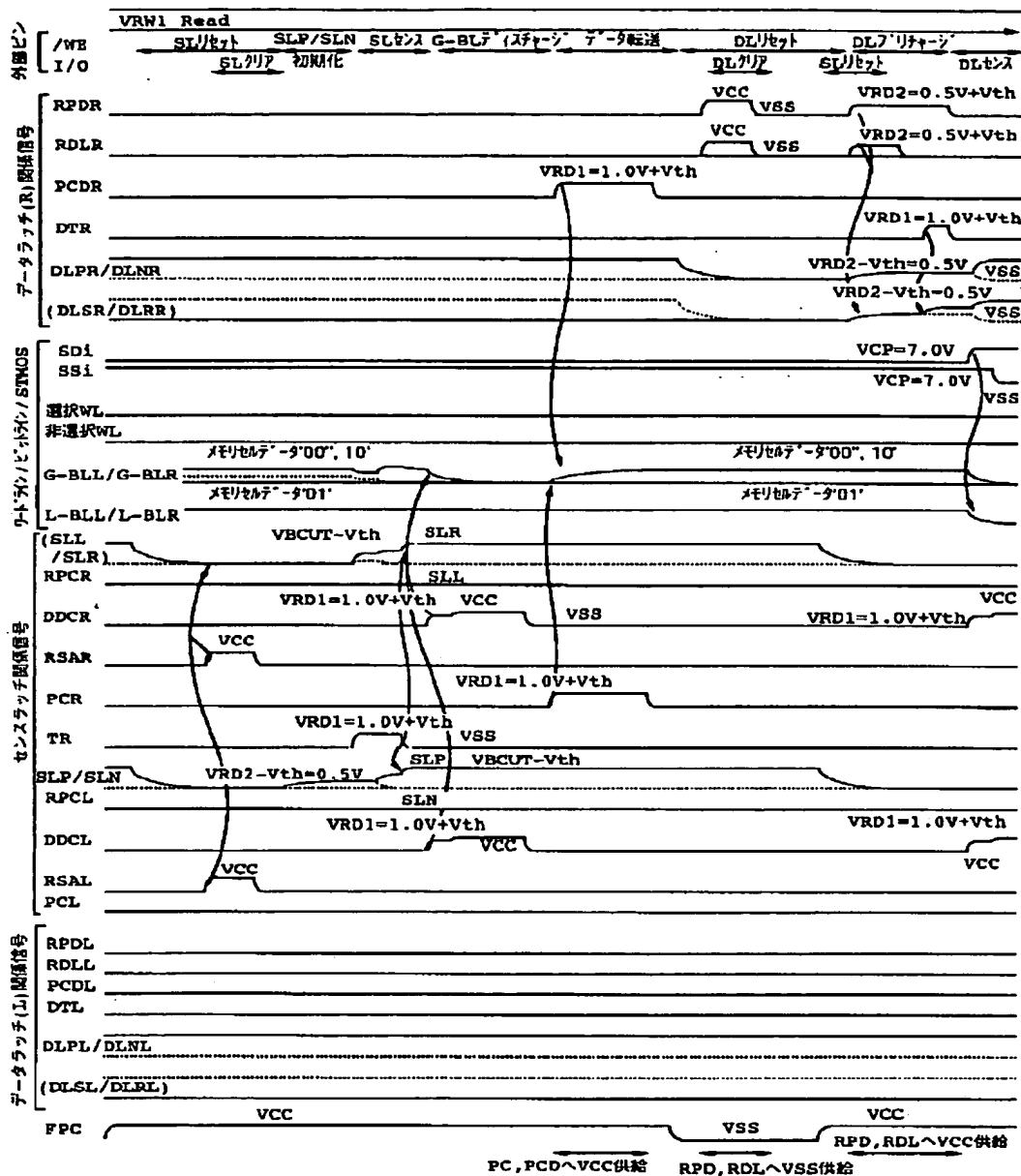
【図37】

【図37】 追加書き込み（論理合成処理）動作波形



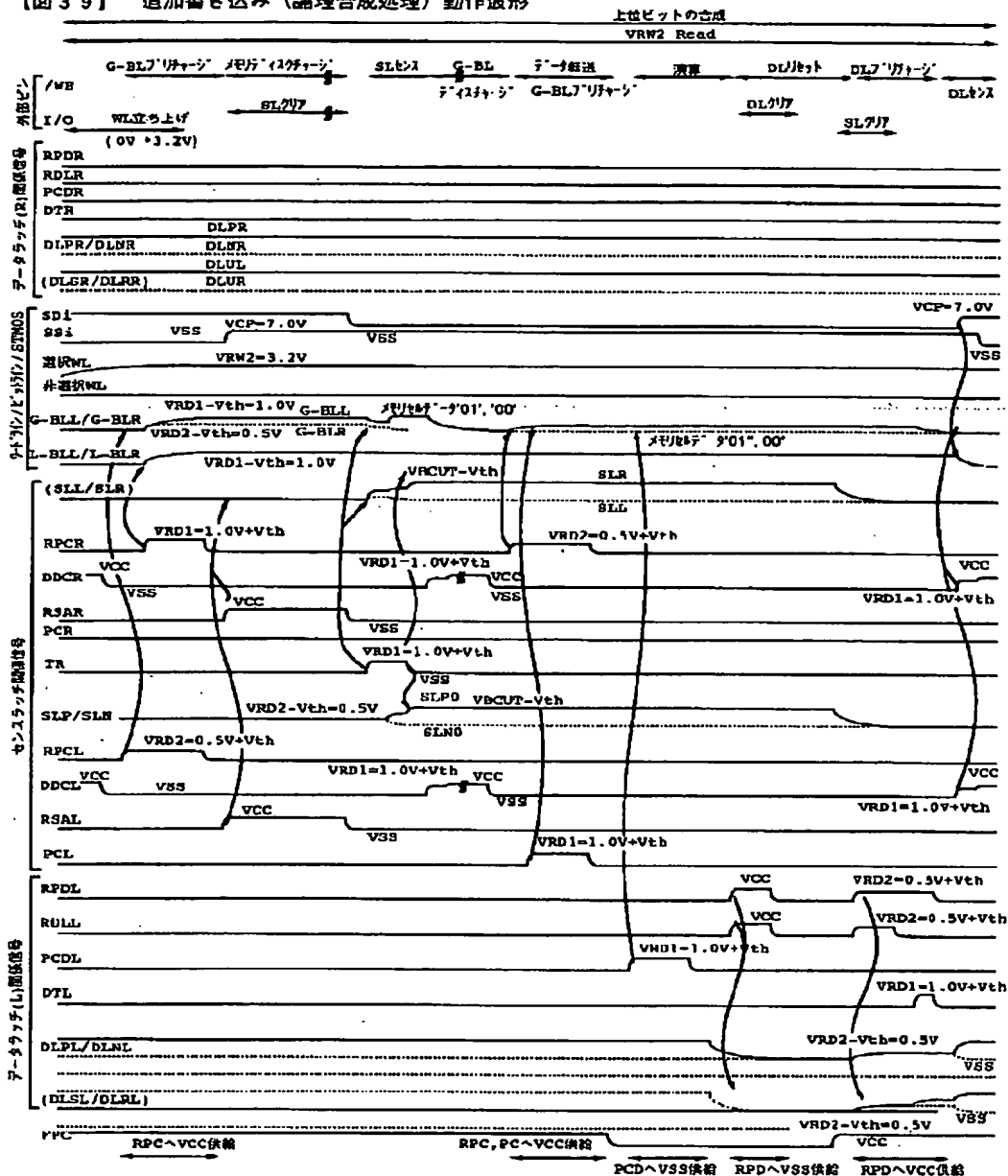
【図38】

【図38】 追加書き込み（論理合成処理）動作波形



【図39】

【図39】 追加書き込み（論理合成処理）動作波形



フロントページの続き

(72)発明者 辻川 哲也
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 原田 敏典
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

(72)発明者 小谷 博昭
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 久保埜 昌次
東京都小平市上水本町5丁目22番1号 株 05
式会社日立超エル・エス・アイ・システム
ズ内

(72)発明者 野副 敦史
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 吉竹 貴之
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内